

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



(19)

(11) Publication number: 11219380 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 10019856

(51) Int. Cl.: G06F 17/50 H01L 21/82

(22) Application date: 30.01.98

(30) Priority:

(43) Date of application
publication: 10.08.99(84) Designated
contracting states:

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(72) Inventor: YONEZAWA HIROKAZU

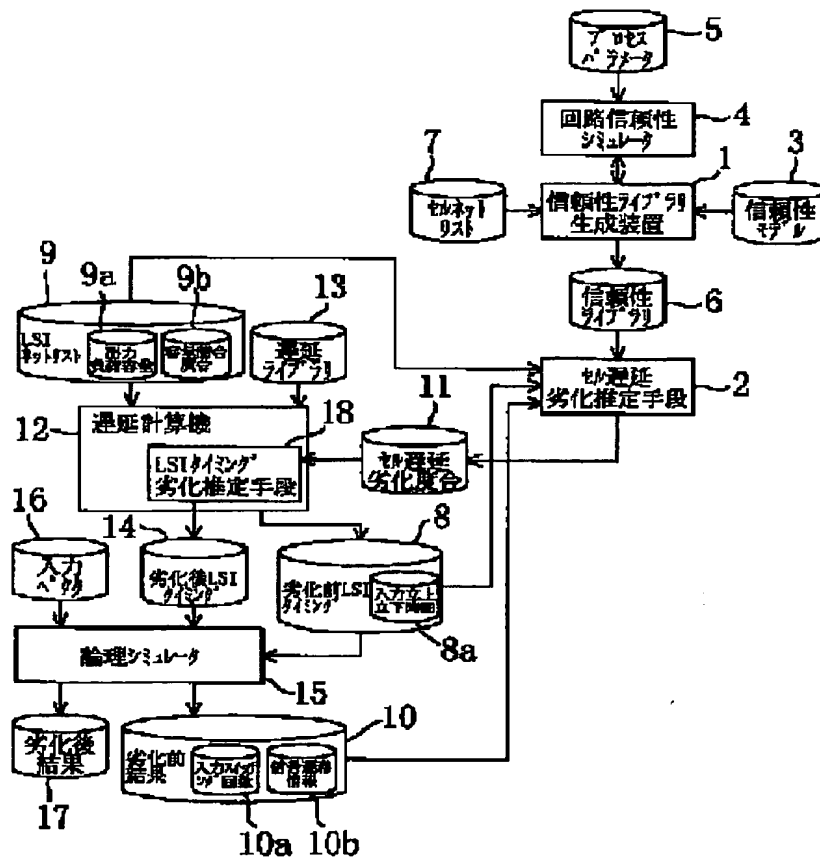
(74) Representative:

(54) TIMING DEGRADATION
SIMULATION DEVICE AND
SIMULATION METHOD FOR
LSI AND LSI NET LIST

(57) Abstract:

PROBLEM TO BE SOLVED: To simulate an operation after the degradation of an LSI by predicting the actual secular degradation of the LSI in a design stage by taking the effect of coupling noise between wires into consideration so as to evade excessive specifications to reliability in the design of the LSI.

SOLUTION: A reliability library generator 1 drives a circuit reliability simulator 4 and generates a reliability library 6 for indicating the dependency to prescribed operation conditions of the characteristic degradation degree of respective circuit cells. A cell delay degradation estimation means 2 estimates the secular degradation degree 11 of the delay of the respective circuit cells of the LSI while referring to the reliability library 6 while taking the effect of the coupling noise between the wires into considerations. An LSI timing degradation estimation means 18 estimates the delay of the respective circuit cells in the LSI after the degradation based on the cell delay degradation degree 11 and generates an LSI timing 14 after the degradation. A logical simulator 15 simulates the operation after the degradation of the LSI based on the LSI timing 14 after the degradation. Thus, by a simulation, the degradation of the timing of the respective signal paths of the LSI is



accurately expressed based on the
actual operation.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-219380

(43) 公開日 平成11年(1999) 8月10日

(51) Int.Cl.⁹

識別記号

F I

G 0 6 F 17/50

G 0 6 F 15/60

6 6 8 A

H 0 1 L 21/82

H 0 1 L 21/82

6 6 6 S

C

審査請求 未請求 請求項の数29 O L (全 29 頁)

(21) 出願番号 特願平10-19856

(22) 出願日 平成10年(1998) 1月30日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 米澤 浩和

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

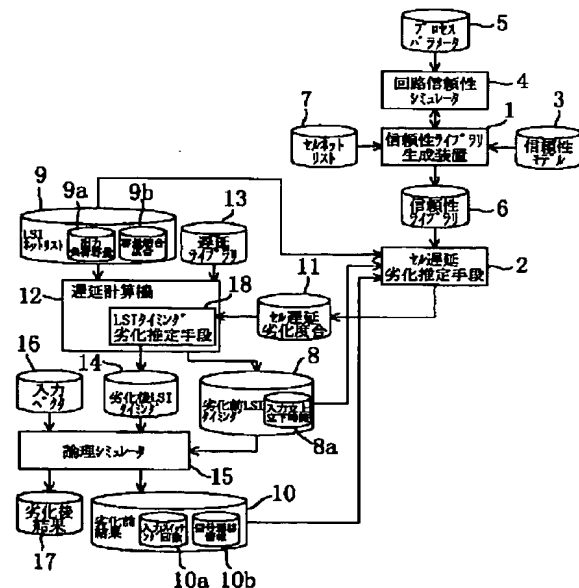
(74) 代理人 弁理士 前田 弘 (外 2 名)

(54) 【発明の名称】 L S I のタイミング劣化シミュレーション装置およびシミュレーション方法、並びに L S I ネットリスト

(57) 【要約】

【課題】 L S I の設計において信頼性に対する過剰な仕様を回避すべく、実際の L S I の経時的劣化を配線間のカップリングノイズの影響を加味しながら、設計段階において予測し、L S I の劣化後の動作をシミュレーションする装置および方法を提供する。

【解決手段】 信頼性ライブラリ生成装置 1 は、回路信頼性シミュレータ 4 を駆動して、各回路セルの特性劣化度合の所定の動作条件に対する依存性を表す信頼性ライブラリ 6 を生成する。セル遅延劣化推定手段 2 は、配線間のカップリングノイズの影響を加味しながら、L S I の各回路セルの遅延の経時的な劣化度合 1 1 を信頼性ライブラリ 6 を参照しつつ推定する。L S I タイミング劣化推定手段 1 8 は、劣化後の L S I における各回路セルの遅延をセル遅延劣化度合 1 1 に基づいて推定し、劣化後 L S I タイミング 1 4 を生成する。論理シミュレータ 1 5 は劣化後 L S I タイミング 1 4 を基にして、L S I の劣化後の動作をシミュレーションする。このためシミュレーションによって、L S I の各信号バスのタイミングの劣化が実際の動作に即して精度良く表現される。



【特許請求の範囲】

【請求項1】 LSIの経時的劣化を設計段階において予測し、LSIの劣化後の動作をシミュレーションするLSIのタイミング劣化シミュレーション装置であって、

対象とするLSIを構成する各回路セルの遅延の経時的な劣化度合を、回路セルの特性劣化度合の所定の動作条件に対する依存性を表す信頼性ライブラリを参照しつつ、前記LSIの動作時における当該回路セルの前記所定の動作条件の値に基づいて、推定するセル遅延劣化推定手段と、

前記セル遅延劣化推定手段によって推定された各回路セルの遅延劣化度合に基づいて、経時的に劣化した前記LSIにおける各回路セルの遅延を推定するLSIタイミング劣化推定手段とを備え、

前記LSIタイミング劣化推定手段によって推定された、劣化後の前記LSIにおける各回路セルの遅延に基づいて、前記LSIの劣化後の動作をシミュレーションするものであり、

前記セル遅延劣化推定手段は、配線間のカップリングノイズの影響を加味して、各回路セルの遅延の経時的な劣化度合を推定するものであることを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項2】 請求項1記載のLSIのタイミング劣化シミュレーション装置において、

各回路セルについて、当該回路セルを構成するトランジスタの特性劣化度合を回路信頼性シミュレータによって求め、求めた各トランジスタの特性劣化度合から当該回路セルの特性劣化度合の前記所定の動作条件に対する依存性を求めることにより、前記信頼性ライブラリを生成する信頼性ライブラリ生成装置を備えていることを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項3】 請求項1記載のLSIのタイミング劣化シミュレーション装置において、

劣化前の前記LSIにおける各回路セルの遅延を推定する遅延計算機を備え、

前記遅延計算機によって推定された劣化前の前記LSIにおける各回路セルの遅延に基づいて、前記LSIの劣化前の動作をシミュレーションすることを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項4】 請求項3記載のLSIのタイミング劣化シミュレーション装置において、

前記LSIタイミング劣化推定手段は、前記遅延計算機内に設けられていることを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項5】 請求項3記載のLSIのタイミング劣化シミュレーション装置において、

前記セル遅延劣化推定手段およびLSIタイミング劣化推定手段は、ともに前記遅延計算機内に設けられていることを特徴とするLSIのタイミング劣化シミュレーション装置。

ン装置。

【請求項6】 請求項1記載のLSIのタイミング劣化シミュレーション装置において、

前記信頼性ライブラリは、回路セルの特性劣化度合として、入力端子と出力端子との間の信号伝搬遅延の劣化度合を用いるものであることを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項7】 請求項6記載のLSIのタイミング劣化シミュレーション装置において、

前記信頼性ライブラリは、所定の動作条件として、回路セルの、入力信号の立上り立下り時間と、出力負荷容量と、入力信号のスイッチング回数と、カップリングノイズによる出力信号電圧の電源電圧または接地電圧からの変動量とを用いるものであることを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項8】 請求項7記載のLSIのタイミング劣化シミュレーション装置において、

前記信頼性ライブラリは、複数の入力端子を有する回路セルについて、一の入力端子と出力端子との間の信号伝搬遅延の劣化度合に対し、他の入力端子への入力信号のスイッチング回数および立上り立下り時間を所定の動作条件として用いるものであることを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項9】 請求項7記載のLSIのタイミング劣化シミュレーション装置において、

前記信頼性ライブラリは、所定の動作条件として、回路セルに印加される電源電圧を用いるものであることを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項10】 請求項7記載のLSIのタイミング劣化シミュレーション装置において、

前記信頼性ライブラリは、所定の動作条件として、回路セルの温度を用いるものであることを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項11】 請求項6記載のLSIのタイミング劣化シミュレーション装置において、

前記信頼性ライブラリは、回路セルの特性劣化度合として、出力信号の立上り立下り時間の劣化度合を用いるものであることを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項12】 請求項1記載のLSIのタイミング劣化シミュレーション装置において、

前記信頼性ライブラリは、回路セルの、少なくともセットアップ時間とホールド時間を含むタイミングチェック値の、所定の動作条件に対する依存性を表すものであり、

当該LSIのタイミング劣化シミュレーション装置は、対象とするLSIを構成する回路セルのタイミングチェック値の劣化度合を、前記信頼性ライブラリを参照しつつ、前記LSIの動作時における当該回路セルの前記所

定の動作条件の値に基づいて、推定するタイミングチェック値劣化推定手段を備え、かつ、

前記LSIタイミング劣化推定手段は、前記タイミングチェック値劣化推定手段によって推定された前記回路セルのタイミングチェック値の劣化度合に基づいて、経時的に劣化した前記LSIにおける前記回路セルのタイミングチェック値を推定するものであり、

前記LSIタイミング劣化推定手段によって推定された前記回路セルのタイミングチェック値に基づいて、劣化後の前記LSIにおいて前記回路セルが正常動作するか否かを推定することを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項13】 請求項1記載のLSIのタイミング劣化シミュレーション装置において、

前記信頼性ライブラリは、回路セルの特性劣化度合の所定の動作条件に対する依存性をテーブル形式で表すものであることを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項14】 請求項1記載のLSIのタイミング劣化シミュレーション装置において、
前記信頼性ライブラリは、回路セルの特性劣化度合の所定の動作条件に対する依存性を関数で表すものであることを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項15】 請求項1記載のLSIのタイミング劣化シミュレーション装置において、

前記信頼性ライブラリは、回路セルの特性劣化度合を、劣化前の特性値と劣化後の特性値との差分で表すものであり、前記セル遅延劣化推定手段は、各回路セルの遅延劣化度合を、劣化前の遅延と劣化後の遅延との差分で表すものであることを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項16】 請求項1記載のLSIのタイミング劣化シミュレーション装置において、

前記信頼性ライブラリは、回路セルの特性劣化度合を、劣化前の特性値に対する劣化後の特性値の比で表すものであり、前記セル遅延劣化推定手段は、各回路セルの遅延劣化度合を、劣化前の遅延と劣化後の遅延との比で表すものであることを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項17】 請求項1記載のLSIのタイミング劣化シミュレーション装置において、

前記セル遅延劣化推定手段は、前記LSIを構成する回路セルのうち少なくとも一部のものについて、複数の回路セルからなる信号バスを単位として、遅延劣化度合を推定するものであり、

前記LSIタイミング劣化推定手段は、前記セル遅延劣化推定手段によって推定された信号バスの遅延劣化度合に基づいて、経時的に劣化した前記LSIにおける前記信号バスの遅延を推定するものであり、

当該LSIのタイミング劣化シミュレーション装置は、前記LSIタイミング劣化推定手段によって推定された、劣化後の前記LSIにおける前記信号バスの遅延に基づいて、前記LSIの劣化後の動作をシミュレーションするものであることを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項18】 請求項2記載のLSIのタイミング劣化シミュレーション装置において、

前記信頼性ライブラリ生成装置は、

前記回路信頼性シミュレータによってシミュレーションする際に、当該回路セルの出力信号に接続されているトランジスタのドレインに形成されている接合ダイオードの順電流を遮断もしくは抑制することを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項19】 請求項1記載のLSIのタイミング劣化シミュレーション装置において、

前記セル遅延劣化推定手段は、

配線間のカップリングノイズ以外のノイズに対し、配線間のカップリングノイズについての結合配線、容量結合度合および信号電圧変動量を、ノイズ発生源、ノイズが回路セルに影響する度合、および信号電圧変動量とみなして、配線間のカップリングノイズと等価的に処理を行うものであることを特徴とするLSIのタイミング劣化シミュレーション装置。

【請求項20】 LSIの経時的劣化を設計段階において予測し、LSIの劣化後の動作をシミュレーションするLSIのタイミング劣化シミュレーション方法であって、

対象とするLSIを構成する各回路セルの遅延の経時的な劣化度合を、回路セルの特性劣化度合の所定の動作条件に対する依存性を表す信頼性ライブラリを参照しつつ、前記LSIの動作時における当該回路セルの前記所定の動作条件の値に基づいて、推定するセル遅延劣化推定工程と、

前記セル遅延劣化推定工程において推定した各回路セルの遅延劣化度合に基づいて、経時的に劣化した前記LSIにおける各回路セルの遅延を推定するLSIタイミング劣化推定工程と、

前記LSIタイミング劣化推定工程において推定した劣化後の前記LSIにおける各回路セルの遅延に基づいて、前記LSIの劣化後の動作をシミュレーションするシミュレーション工程とを備え、

前記セル遅延劣化推定工程は、配線間のカップリングノイズの影響を加味して、各回路セルの遅延の経時的な劣化度合を推定するものであることを特徴とするLSIのタイミング劣化シミュレーション方法。

【請求項21】 請求項20記載のLSIのタイミング劣化シミュレーション方法において、

各回路セルについて、当該回路セルを構成するトランジスタの特性劣化度合を回路信頼性シミュレータを駆動し

て求め、求めた各トランジスタの特性劣化度合から当該回路セルの特性劣化度合の前記所定の動作条件に対する依存性を求めることにより、前記信頼性ライブラリを生成する信頼性ライブラリ生成工程を備えていることを特徴とするLSIのタイミング劣化シミュレーション方法。

【請求項22】 請求項20記載のLSIのタイミング劣化シミュレーション方法において、前記信頼性ライブラリは、回路セルの特性劣化度合として、入力端子と出力端子との間の信号伝搬遅延の劣化度合を用いるものであることを特徴とするLSIのタイミング劣化シミュレーション方法。

【請求項23】 請求項22記載のLSIのタイミング劣化シミュレーション方法において、前記信頼性ライブラリは、所定の動作条件として、回路セルの、入力信号の立上り立下り時間と、出力負荷容量と、入力信号のスイッチング回数と、カップリングノイズによる出力信号電圧の電源電圧または接地電圧からの変動量とを用いるものであることを特徴とするLSIのタイミング劣化シミュレーション方法。

【請求項24】 請求項23記載のLSIのタイミング劣化シミュレーション方法において、前記信頼性ライブラリは、複数の入力端子を有する回路セルについて、一の入力端子と出力端子との間の信号伝搬遅延の劣化度合に対し、他の入力端子への入力信号のスイッチング回数および立上り立下り時間を所定の動作条件として用いるものであることを特徴とするLSIのタイミング劣化シミュレーション方法。

【請求項25】 請求項23記載のLSIのタイミング劣化シミュレーション方法において、前記信頼性ライブラリは、所定の動作条件として、回路セルに印加される電源電圧を用いるものであることを特徴とするLSIのタイミング劣化シミュレーション方法。

【請求項26】 請求項23記載のLSIのタイミング劣化シミュレーション方法において、前記信頼性ライブラリは、所定の動作条件として、回路セルの温度を用いるものであることを特徴とするLSIのタイミング劣化シミュレーション方法。

【請求項27】 請求項22記載のLSIのタイミング劣化シミュレーション方法において、前記信頼性ライブラリは、回路セルの特性劣化度合として、出力信号の立上り立下り時間の劣化度合を用いるものであることを特徴とするLSIのタイミング劣化シミュレーション方法。

【請求項28】 請求項20記載のLSIのタイミング劣化シミュレーション方法において、前記セル遅延劣化推定工程は、前記LSIを構成する回路セルのうち少なくとも一部のものについて、複数の回路セルからなる信号バスを単位として、遅延劣化度合を

推定するものであり、

前記LSIタイミング劣化推定工程は、前記セル遅延劣化推定工程において推定した信号バスの遅延劣化度合に基づいて、経時的に劣化した前記LSIにおける前記信号バスの遅延を推定するものであり、

前記シミュレーション工程は、前記LSIタイミング劣化推定工程において推定した劣化後の前記LSIにおける前記信号バスの遅延に基づいて、前記LSIの劣化後の動作をシミュレーションするものであることを特徴とするLSIのタイミング劣化シミュレーション方法。

【請求項29】 請求項1記載のLSIのタイミング劣化シミュレーション装置が参照するLSIネットリストであって、

配線容量素子について、LSIのタイミング計算時には、対接地容量として認識でき、配線間のカップリングノイズ計算時には、当該配線とこの配線と容量結合している配線との間の配線容量として認識できるよう、記述されていることを特徴とするLSIネットリスト。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ホットキャリア現象などに起因するLSIの経時的な特性劣化を配線間のカップリングノイズの影響をも考慮して予測し、LSIのタイミングシミュレーションに反映させる技術に関するものである。

【0002】

【従来の技術】半導体集積回路（以下LSIと略す）には寿命があり、ある期間動作した後に故障や動作不良を起こす。LSIの故障や動作不良の主な原因としては、ホットキャリア現象に起因する特性劣化やエレクトロマイグレーションによる配線の断線などがある。特にホットキャリア現象は、トランジスタの駆動能力を劣化せしめ、これによりLSIの動作タイミングが時間の経過とともに変化し、いずれ誤動作に至る。

【0003】近年のLSIにおいては、製造技術の発達とともにデバイスの微細化が急速に進み、デバイス内に生じる高電界によって高エネルギー電子であるホットキャリアが生じやすくなっており、ホットキャリア現象に対する信頼性確保がますます難しくなっている。

【0004】LSIの信頼性確保のためには、例えば、一定期間の動作を保証すべく、動作タイミングの経時的変化に対して十分な余裕を設けるために、全回路の動作タイミングに一律に適当なマージンを含ませる方法が考えられる。ところがこの方法では、最悪の場合を考えてマージンを設定するために、LSIとしては過剰な仕様に陥りやすい。通常、LSIの信頼性と性能とはトレードオフの関係にあり、過剰な信頼性を持たせることはLSIの性能を低下させる結果になる。したがって、このような方法では高性能なLSIを開発することは困難であった。

【0005】またこのような問題を解決すべく、従来から次のような方法も用いられてきている。すなわち、LSIを構成する回路単位である回路セル（例えば特定用途向け集積回路（ASIC）に用いられるスタンダードセルライブラリに属する、インバータなどのセル）毎に、LSIの動作時における所定の動作条件の値を調べ、各回路セルについて、調べた動作条件の値が、劣化量や寿命があらかじめ定めた目標値を満たすために必要な範囲にあるか否かを検証する。そして、劣化量や寿命が目標値を満たさない回路セルをLSIの信頼性の面で問題のある回路セルと認識し、設計変更などの対策をとる。

【0006】

【発明が解決しようとする課題】しかしながら、前記従来の方法では、LSIを構成する各回路セルについて劣化量や寿命の検証を行っているのみであり、LSI全体としては、信頼性に対して過剰な仕様になる場合が多い。この点について説明する。

【0007】LSIは通常、所定の動作周波数に従って動作する。言い換えると、この所定の動作周波数から決まる所定の周期がLSIにおける処理時間の単位となる。一方、LSIでは、信号は、この所定の周期の間にいくつかの回路セルからなる信号バスを流れる。このとき、信号バスにおける信号伝搬遅延が劣化によって長くなり、所定の周期を越えてしまうと、LSIの動作タイミングがおかしくなり、誤動作が生じることになる。逆に言うと、信号バスにおける信号伝搬遅延が劣化によって長くなっても所定の周期を越えなければ、LSIの動作タイミングは正常のままであり、誤動作は生じない。

【0008】ここで、信号バスA、Bを想定し、信号バスAにおける信号伝搬遅延は所定の周期とほぼ同じ（すなわち遅延劣化に弱い）であり、一方、信号バスBにおける信号伝搬遅延は所定の周期に比べてかなり小さい（すなわち遅延劣化に強い）ものとする。さらに、信号バスA、Bはともに同じ動作条件の値の回路セルを含んでおり、かつその動作条件の値が、劣化量や寿命が目標を満たすために必要な範囲にないものとする。

【0009】このとき、前記従来の方法によると、信号バスAに含まれる回路セルも、信号バスBに含まれる回路セルも、ともにLSIの信頼性の面で問題となる回路セルと認識されてしまい、設計変更などの対象となってしまう。ところが実際には、遅延劣化に弱い信号バスAに含まれるこの回路セルはLSIの信頼性の面で問題とすべきであるが、遅延劣化に強い信号バスBに含まれるこの回路セルは、LSIの信頼性の面では問題なしと判断するのが妥当である。

【0010】このように、回路セルがLSIの信頼性の面からみて問題となるか否かは、たとえ同じ動作条件であっても、個々の回路セルによって異なる。各回路セルに対して許容される劣化量や寿命の範囲は、LSIの信

号の流れにおけるその回路セルの位置づけによって異なるからである。

【0011】さらに、ホットキャリア劣化はトランジスタに印加される電圧に依存する。通常回路セルの出力電圧は電源電位を最大、接地電位を最小とする範囲で変化する。近年の微細化により回路セル間を接続する配線が密に配置され、その結果隣接信号との間の容量結合が起こりやすくなっている。容量結合が強まれば、隣接信号の遷移時にカップリングノイズ（容量結合による雑音）を生じ、それが回路セルの出力信号の電位を電源電圧より高くしたり、接地電圧より低くしたりする。通常出力信号はトランジスタのドレインに接続されており、トランジスタのソースとドレインとの間に印加される電圧がこのノイズにより増加し、ホットキャリア劣化が増大してしまうことになる。従来はこの問題に対する有効な解決策はなかった。

【0012】本発明は、LSIの経時的劣化を配線間のカップリングノイズの影響をも加味して設計段階において予測し、LSIの劣化後の動作をシミュレーションする装置および方法を提供することを課題とする。

【0013】

【課題を解決するための手段】前記の課題を解決するため、請求項1の発明が講じた解決手段は、LSIの経時的劣化を設計段階において予測し、LSIの劣化後の動作をシミュレーションするLSIのタイミング劣化シミュレーション装置として、対象とするLSIを構成する各回路セルの遅延の経時的な劣化度合を、回路セルの特性劣化度合の所定の動作条件に対する依存性を表す信頼性ライブラリを参照しつつ、前記LSIの動作時における当該回路セルの前記所定の動作条件の値に基づいて、推定するセル遅延劣化推定手段と、前記セル遅延劣化推定手段によって推定された各回路セルの遅延劣化度合に基づいて、経時的に劣化した前記LSIにおける各回路セルの遅延を推定するLSIタイミング劣化推定手段とを備え、前記LSIタイミング劣化推定手段によって推定された、劣化後の前記LSIにおける各回路セルの遅延に基づいて、前記LSIの劣化後の動作をシミュレーションするものであり、前記セル遅延劣化推定手段は、配線間のカップリングノイズの影響を加味して、各回路セルの遅延の経時的な劣化度合を推定するものである。

【0014】請求項1の発明によると、セル遅延劣化推定手段によって、回路セルの特性劣化度合の所定の動作条件に対する依存性を表す信頼性ライブラリを参照しつつ、前記LSIの動作時における当該回路セルの前記所定の動作条件の値に基づいて、推定が行われるので、前記LSIの実際の動作が反映された各回路セルの遅延劣化度合が得られる。さらに、対象とするLSIを構成する各回路セルの遅延劣化度合は、配線間のカップリングノイズの影響を加味して推定される。この回路セルの遅延劣化度合に基づいて、LSIタイミング劣化推定手段

によって、経時的に劣化した前記LSIにおける各回路セルの遅延が推定される。そして、この劣化後の前記LSIにおける各回路セルの遅延に基づいて、前記LSIの劣化後の動作がシミュレーションされる。このためシミュレーションによって、LSIの各信号バスのタイミングの劣化が、配線間のカップリングノイズの影響をも加味された上で、実際の動作に即して精度良く表現されることになる。したがって、LSIの設計において、LSIの経時的劣化が予測できないことに起因する信頼性に対する過剰な仕様を回避することができ、信頼性および性能の双方の面で適切なLSIの設計を行うことができる。

【0015】そして、請求項2の発明では、前記請求項1のLSIのタイミング劣化シミュレーション装置は、各回路セルについて、当該回路セルを構成するトランジスタの特性劣化度合を回路信頼性シミュレータによって求め、求めた各トランジスタの特性劣化度合から当該回路セルの特性劣化度合の前記所定の動作条件に対する依存性を求めることにより、前記信頼性ライブラリを生成する信頼性ライブラリ生成装置を備えているものとする。

【0016】また、請求項3の発明では、前記請求項1のLSIのタイミング劣化シミュレーション装置は、劣化前の前記LSIにおける各回路セルの遅延を推定する遅延計算機を備え、前記遅延計算機によって推定された劣化前の前記LSIにおける各回路セルの遅延に基づいて、前記LSIの劣化前の動作をシミュレーションするものとする。

【0017】そして、請求項4の発明では、前記請求項3のLSIのタイミング劣化シミュレーション装置におけるLSIタイミング劣化推定手段は、前記遅延計算機内に設けられているものとする。

【0018】さらに、請求項5の発明では、前記請求項3のLSIのタイミング劣化シミュレーション装置におけるセル遅延劣化推定手段およびLSIタイミング劣化推定手段は、ともに前記遅延計算機内に設けられているものとする。

【0019】また、請求項6の発明では、前記請求項1のLSIのタイミング劣化シミュレーション装置における信頼性ライブラリは、回路セルの特性劣化度合として、入力端子と出力端子との間の信号伝搬遅延の劣化度合を用いるものとする。

【0020】そして、請求項7の発明では、前記請求項6のLSIのタイミング劣化シミュレーション装置における信頼性ライブラリは、所定の動作条件として、回路セルの、入力信号の立上り立下り時間と、出力負荷容量と、入力信号のスイッチング回数と、カップリングノイズによる出力信号電圧の電源電圧または接地電圧からの変動量とを用いるものとする。

【0021】さらに、請求項8の発明では、前記請求項

7のLSIのタイミング劣化シミュレーション装置における信頼性ライブラリは、複数の入力端子を有する回路セルについて、一の入力端子と出力端子との間の信号伝搬遅延の劣化度合に対し、他の入力端子への入力信号のスイッチング回数および立上り立下り時間を所定の動作条件として用いるものとする。

【0022】また、請求項9の発明では、前記請求項7のLSIのタイミング劣化シミュレーション装置における信頼性ライブラリは、所定の動作条件として、回路セルに印加される電源電圧を用いるものとする。

【0023】また、請求項10の発明では、前記請求項7のLSIのタイミング劣化シミュレーション装置における信頼性ライブラリは、所定の動作条件として、回路セルの温度を用いるものとする。

【0024】そして、請求項11の発明では、前記請求項6のLSIのタイミング劣化シミュレーション装置における信頼性ライブラリは、回路セルの特性劣化度合として、出力信号の立上り立下り時間の劣化度合を用いるものとする。

【0025】また、請求項12の発明では、前記請求項1のLSIのタイミング劣化シミュレーション装置における信頼性ライブラリは、回路セルの、少なくともセットアップ時間とホールド時間を含むタイミングチェック値の、所定の動作条件に対する依存性を表すものであり、当該LSIのタイミング劣化シミュレーション装置は、対象とするLSIを構成する回路セルのタイミングチェック値の劣化度合を、前記信頼性ライブラリを参照しつつ、前記LSIの動作時における当該回路セルの前記所定の動作条件の値に基づいて、推定するタイミングチェック値劣化推定手段を備え、かつ、前記LSIタイミング劣化推定手段は、前記タイミングチェック値劣化推定手段によって推定された前記回路セルのタイミングチェック値の劣化度合に基づいて、経時的に劣化した前記LSIにおける前記回路セルのタイミングチェック値を推定するものであり、前記LSIタイミング劣化推定手段によって推定された前記回路セルのタイミングチェック値に基づいて、劣化後の前記LSIにおいて前記回路セルが正常動作するか否かを推定するものとする。

【0026】また、請求項13の発明では、前記請求項1のLSIのタイミング劣化シミュレーション装置における信頼性ライブラリは、回路セルの特性劣化度合の所定の動作条件に対する依存性をテーブル形式で表すものとする。

【0027】また、請求項14の発明では、前記請求項1のLSIのタイミング劣化シミュレーション装置における信頼性ライブラリは、回路セルの特性劣化度合の所定の動作条件に対する依存性を関数で表すものとする。

【0028】また、請求項15の発明では、前記請求項1のLSIのタイミング劣化シミュレーション装置における信頼性ライブラリは、回路セルの特性劣化度合を、

劣化前の特性値と劣化後の特性値との差分で表すものであり、前記セル遅延劣化推定手段は、各回路セルの遅延劣化度合を、劣化前の遅延と劣化後の遅延との差分で表すものとする。

【0029】また、請求項16の発明では、前記請求項1のLSIのタイミング劣化シミュレーション装置における信頼性ライブラリは、回路セルの特性劣化度合を、劣化前の特性値に対する劣化後の特性値の比で表すものであり、前記セル遅延劣化推定手段は、各回路セルの遅延劣化度合を、劣化前の遅延と劣化後の遅延との比で表すものとする。

【0030】さらに、請求項17の発明では、前記請求項1のLSIのタイミング劣化シミュレーション装置において、前記セル遅延劣化推定手段は、前記LSIを構成する回路セルのうち少なくとも一部のものについて、複数の回路セルからなる信号バスを単位として、遅延劣化度合を推定するものとし、前記LSIタイミング劣化推定手段は、前記セル遅延劣化推定手段によって推定された信号バスの遅延劣化度合に基づいて、経時的に劣化した前記LSIにおける前記信号バスの遅延を推定するものとし、当該LSIのタイミング劣化シミュレーション装置は、前記LSIタイミング劣化推定手段によって推定された、劣化後の前記LSIにおける前記信号バスの遅延に基づいて、前記LSIの劣化後の動作をシミュレーションするものとする。

【0031】また、請求項18の発明では、前記請求項2のLSIのタイミング劣化シミュレーション装置における信頼性ライブラリ生成装置は、前記回路信頼性シミュレータによってシミュレーションする際に、当該回路セルの出力信号に接続されているトランジスタのドレインに形成されている接合ダイオードの順電流を遮断もしくは抑制するものとする。

【0032】また、請求項19の発明では、請求項1のLSIのタイミング劣化シミュレーション装置におけるセル遅延劣化推定手段は、配線間のカップリングノイズ以外のノイズに対し、配線間のカップリングノイズについての結合配線、容量結合度合および信号電圧変動量を、ノイズ発生源、ノイズが回路セルに影響する度合、および信号電圧変動量とみなして、配線間のカップリングノイズと等価的に処理を行うものとする。

【0033】また請求項20の発明が講じた解決手段は、LSIの経時的劣化を設計段階において予測し、LSIの劣化後の動作をシミュレーションするLSIのタイミング劣化シミュレーション方法として、対象とするLSIを構成する各回路セルの遅延の経時的な劣化度合を、回路セルの特性劣化度合の所定の動作条件に対する依存性を表す信頼性ライブラリを参照しつつ、前記LSIの動作時における当該回路セルの前記所定の動作条件の値に基づいて、推定するセル遅延劣化推定工程と、前記セル遅延劣化推定工程において推定した各回路セルの

遅延劣化度合に基づいて、経時的に劣化した前記LSIにおける各回路セルの遅延を推定するLSIタイミング劣化推定工程と、前記LSIタイミング劣化推定工程において推定した劣化後の前記LSIにおける各回路セルの遅延に基づいて、前記LSIの劣化後の動作をシミュレーションするシミュレーション工程とを備え、前記セル遅延劣化推定工程は、配線間のカップリングノイズの影響を加味して、各回路セルの遅延の経時的な劣化度合を推定するものである。

【0034】請求項20の発明によると、セル遅延劣化推定工程において、回路セルの特性劣化度合の所定の動作条件に対する依存性を表す信頼性ライブラリを参照しつつ、前記LSIの動作時における当該回路セルの前記所定の動作条件の値に基づいて、推定を行うので、前記LSIの実際の動作が反映された、各回路セルの遅延劣化度合が得られる。さらに、対象とするLSIを構成する各回路セルの遅延劣化度合は、配線間のカップリングノイズの影響を加味して推定される。この回路セルの遅延劣化度合に基づいて、LSIタイミング劣化推定工程において、経時的に劣化した前記LSIにおける各回路セルの遅延を推定する。そして、この劣化後の前記LSIにおける各回路セルの遅延に基づいて、シミュレーション工程において、前記LSIの劣化後の動作をシミュレーションする。このためシミュレーションによって、LSIの各信号バスのタイミングの劣化が、配線間のカップリングノイズの影響をも加味された上で、実際の動作に即して精度良く表現されることになる。したがって、LSIの設計において、LSIの経時的劣化が予測できないことに起因する信頼性に対する過剰な仕様を回避することができ、信頼性および性能の双方の面で適切なLSIの設計を行うことができる。

【0035】そして、請求項21の発明では、前記請求項20のLSIのタイミング劣化シミュレーション方法は、各回路セルについて、当該回路セルを構成するトランジスタの特性劣化度合を回路信頼性シミュレータを駆動して求め、求めた各トランジスタの特性劣化度合から当該回路セルの特性劣化度合の前記所定の動作条件に対する依存性を求めることにより、前記信頼性ライブラリを生成する信頼性ライブラリ生成工程を備えているものとする。

【0036】また、請求項22の発明では、前記請求項20のLSIのタイミング劣化シミュレーション方法における信頼性ライブラリは、回路セルの特性劣化度合として、入力端子と出力端子との間の信号伝搬遅延の劣化度合を用いるものとする。

【0037】そして、請求項23の発明では、前記請求項22のLSIのタイミング劣化シミュレーション方法における信頼性ライブラリは、所定の動作条件として、回路セルの、入力信号の立上り立下り時間と、出力負荷容量と、入力信号のスイッチング回数と、カップリング

ノイズによる出力信号電圧の電源電圧または接地電圧からの変動量とを用いるものとする。

【0038】さらに、請求項24の発明では、前記請求項23のLSIのタイミング劣化シミュレーション方法における信頼性ライブラリは、複数の入力端子を有する回路セルについて、一の入力端子と出力端子との間の信号伝搬遅延の劣化度合に対し、他の入力端子への入力信号のスイッチング回数および立上り立下り時間を所定の動作条件として用いるものとする。

【0039】また、請求項25の発明では、前記請求項23のLSIのタイミング劣化シミュレーション方法における信頼性ライブラリは、所定の動作条件として、回路セルに印加される電源電圧を用いるものとする。

【0040】また、請求項26の発明では、前記請求項23のLSIのタイミング劣化シミュレーション方法における信頼性ライブラリは、所定の動作条件として、回路セルの温度を用いるものとする。

【0041】そして、請求項27の発明では、前記請求項22のLSIのタイミング劣化シミュレーション方法における信頼性ライブラリは、回路セルの特性劣化度合として、出力信号の立上り立下り時間の劣化度合を用いるものとする。

【0042】また、請求項28の発明では、前記請求項20のLSIのタイミング劣化シミュレーション方法において、前記セル遅延劣化推定工程は、前記LSIを構成する回路セルのうち少なくとも一部のものについて、複数の回路セルからなる信号バスを単位として、遅延劣化度合を推定するものとし、前記LSIタイミング劣化推定工程は、前記セル遅延劣化推定工程において推定した信号バスの遅延劣化度合に基づいて、経時的に劣化した前記LSIにおける前記信号バスの遅延を推定するものとし、前記シミュレーション工程は、前記LSIタイミング劣化推定工程において推定した劣化後の前記LSIにおける前記信号バスの遅延に基づいて、前記LSIの劣化後の動作をシミュレーションするものとする。

【0043】また、請求項29の発明は、前記請求項1のLSIのタイミング劣化シミュレーション装置が参照するLSIネットリストとして、配線容量素子について、LSIのタイミング計算時には、対接地容量として認識でき、配線間のカップリングノイズ計算時には、当該配線とこの配線と容量結合している配線との間の配線容量として認識できるよう、記述されているものとする。

【0044】

【発明の実施の形態】以下、本発明の実施形態について図面を参照しながら説明する。

【0045】(第1の実施形態)図1は本発明の第1の実施形態に係るLSIのタイミング劣化シミュレーション装置の構成を示すブロック図である。図1に示すように、本実施形態に係るLSIのタイミング劣化シミュレ

ーション装置は、回路信頼性シミュレータ4を駆動して、各回路セルの特性劣化度合の所定の動作条件に対する依存性を表す信頼性ライブラリ6を生成する信頼性ライブラリ生成装置1と、対象とするLSIを構成する各回路セルの遅延の経時的な劣化度合(セル遅延劣化度合11)を、信頼性ライブラリ6を参照しつつ推定するセル遅延劣化推定手段2と、対象とするLSIにおける各回路セルの遅延を計算する遅延計算機12と、各回路セルの遅延を含むLSIタイミングを基にしてLSIの動作をシミュレーションする論理シミュレータ15とを備えている。遅延計算機12は、セル遅延劣化度合11に基づいて、経時的に劣化したLSIにおける各回路セルの遅延を推定するLSIタイミング劣化推定手段18を備えている。論理シミュレータ15は、劣化前のLSIにおける各回路セルの遅延を含む劣化前LSIタイミング8を基にして、LSIの劣化前の動作をシミュレーションして劣化前結果10を生成する一方、劣化後のLSIにおける各回路セルの遅延を含む劣化後LSIタイミング14を基にして、LSIの劣化後の動作をシミュレーションして劣化後結果17を生成する。

【0046】図1に示す本実施形態に係るLSIのタイミング劣化シミュレーション装置の動作を説明する。

【0047】(信頼性ライブラリ生成工程)図2は回路セルの一般的な構成を概念的に示す図である。図2に示すように、ほとんどの場合、回路セル20は入力端子21、出力端子22、電源端子23および接地端子24を有する。セルネットリスト7には、種々の回路セルのネットリストが格納されている。回路セルには、ASICのスタンダードセルライブラリに一般に準備されているインバータやNANDゲート、NORゲート、フリップフロップなどがある。また前記の汎用の回路セル以外にも、LSIを構成するために必要な回路セルを作り、これを信頼性ライブラリ6を生成する対象とすることもできる。セルネットリスト7に格納されたネットリストには、例えばSPICEフォーマットのものが用いられる。セルネットリスト7には各回路セル中のトランジスタのサイズや接続に関する情報、受動素子および寄生素子の値や接続に関する情報などが含まれている。プロセスパラメータ5にはSPICEパラメータや劣化を表わすためのパラメータ、LSIの製造上のパラメータなどが格納されている。SPICEフォーマットおよびSPICEパラメータは、例えばMETA-SOFTWARE社発行のHSPICE USER'S MANUAL(1996年発行)に記載されている。

【0048】信頼性ライブラリ生成装置1は、対象とする回路セルの種類をまず決め、その回路セルのネットリストをセルネットリスト7から読み込む。そして回路信頼性シミュレータ4を駆動して、信頼性モデル3を参照しつつ、対象とする回路セルの入出力端子間の伝搬遅延の劣化度合の、所定の動作条件に対する依存性を求める。回路信頼性シミュレータ4は、プロセスパラメータ

5を参照し、トランジスタの特性劣化をシミュレーションによって推定するものであり、例えばRobert H. Tu et al. "Berkeley Reliability Tools - BERT" (IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 1993, P1524-1534) に記載されたものなどがある。

【0049】図3および図4はカップリングノイズに起因する出力信号電圧の変動を模式的に示す図であり、図3は対象とする回路セルの出力信号が電源電圧VDDから ΔV だけ高くなる場合を、図4は対象とする回路セルの出力信号が接地電圧GNDから ΔV だけ低くなる場合を示している。図3および図4では対象とする回路セルとしてインバータを例にとっており、このインバータの出力信号線と容量結合を有する信号線の信号（結合信号）が入力信号の遷移の少し前に遷移した場合を示している。

【0050】図3では、入力信号の立上りに伴い出力信号が立下る少し前に結合信号が立上るので、出力信号にカップリングノイズが生じ、出力信号電圧が電源電圧VDDよりも ΔV だけ高くなる。この結果、インバータの出力信号は電圧（VDD+ ΔV ）から接地電圧GNDまで変化する。この場合には、出力信号が電源電圧VDDから接地電圧GNDまで変化する場合よりも、劣化は大きくなる。

【0051】同様に図4では、入力信号の立下りに伴い出力信号が立上る少し前に結合信号が立下るので、出力信号にカップリングノイズが生じ、出力信号電圧が接地電圧GNDよりも ΔV だけ低くなる。この結果、インバータの出力信号は電圧（GND- ΔV ）から電源電圧VDDまで変化する。この場合には、出力信号が接地電圧GNDから電源電圧VDDまで変化する場合よりも、劣化は大きくなる。

【0052】ここで、図3および図4に示す ΔV を、カップリングノイズに起因する出力信号電圧の電源電圧または接地電圧からの変動量（信号電圧変動量）と呼ぶ。

【0053】本実施形態では、所定の動作条件として、回路セルの出力負荷容量と、入力信号の立上り立下り時間と、カップリングノイズに起因する出力信号電圧の電源電圧または接地電圧からの変動量とを用いるものとする。また、時間の経過に対する劣化度合の変化を推定するために、入力信号のスイッチング回数も動作条件とする。

【0054】また伝搬遅延の劣化度合を、劣化後の遅延と劣化前の遅延との差分で表わすことにする。図3および図4において、実線は劣化前の信号波形、破線は劣化後の信号波形を示す。図3および図4に示すように、劣化前の遅延を t_1 とし、劣化後の遅延を t_2 とすると、式（1）に示すような劣化後遅延 t_2 と劣化前遅延 t_1 との差分 Δt によって、伝搬遅延の劣化度合を表わすことにする。この差分 Δt を遅延劣化量とよぶ。

$$\Delta t = t_2 - t_1 \quad \dots (1)$$

【0055】信頼性ライブラリ生成装置1は、前記4つの動作条件の値をそれぞれある値に設定し、すでに読み込んだ、対象とする回路セルのネットリストの情報とともに回路信頼性シミュレータ4に渡し、回路信頼性シミュレータ4を駆動する。回路信頼性シミュレータ4は、前記回路セルの各トランジスタの特性劣化度合を求め、信頼性ライブラリ生成装置1は回路信頼性シミュレータ4から前記回路セルの各トランジスタの特性劣化度合を受け、信頼性モデル3を参照しつつ、前記回路セルの遅延劣化量を求める。このような動作を、前記4つの動作条件の値を適切な範囲で変化させながら行うことにより、前記回路セルの遅延劣化量の前記4つの動作条件に対する依存性を求める。この遅延劣化量の動作条件依存性は関数やテーブルで表わされ、信頼性ライブラリ6に出力される。以上のような動作を、セルネットリスト7に格納された全種類の回路セルについて順次行っている。

【0056】このとき、動作条件の1つである信号電圧変動量 ΔV を変化させるために、図5に示すような近似した信号波形を用いる。もちろんカップリングノイズを含む実際の信号波形を用いてもかまわないが、シミュレーションが複雑になるため、図5に示すような信号波形を用いることによって、シミュレーションを簡易にしている。図5に示す信号波形は、シミュレーションの際の出力信号の初期値を電圧（VDD+ ΔV ）に設定することによって容易に得られる。また、図4に示すような接地電位GNDを下回る場合には、シミュレーションの際の出力信号の初期値を電圧（GND- ΔV ）に設定すればよい。

【0057】またこのシミュレーションにおいて、出力信号の初期値を電圧（VDD+ ΔV ）に設定した場合には、回路セルの出力信号線に接続されたトランジスタのドレインは基板またはウェル（通常、電源電圧VDDまたは接地電圧GNDとなる）との間で順バイアス状態となり、このままでは順電流が流れ、出力信号の初期値が電圧（VDD+ ΔV ）から電源電圧VDDまで低下してしまう。また出力信号の初期値を電圧（GND- ΔV ）に設定した場合には、順電流が流れることによって、出力信号の初期値が電圧（GND- ΔV ）から接地電圧GNDまで上昇してしまう。このような動作を回避するために、回路信頼性シミュレータ4によってシミュレーションする際には、出力信号の初期値を電圧（VDD+ ΔV ）または（GND- ΔV ）に設定した場合には、当該出力信号線に接続されたトランジスタのドレインの接合ダイオードの順電流を一時的に遮断（オフ）または抑制（削減）する方法をとる。

【0058】この結果、回路セルの特性劣化度合の、所定の動作条件に対する依存性を表す信頼性ライブラリ6が生成されることになる。本実施形態に係る信頼性ライ

ブラリ6では、回路セルの特性劣化度合として、入力端子と出力端子との間の信号伝搬遅延の劣化度合が用いられるとともに、所定の動作条件として、回路セルの、入力信号の立上り立下り時間と、出力負荷容量と、入力信号のスイッチング回数と、カップリングノイズに起因する出力信号電圧の電源電圧または接地電圧からの変動量とが用いられる。

【0059】図6は本実施形態に係る信頼性ライブラリ6が有する、回路セルの遅延劣化量の動作条件依存性を表す情報を示す図であり、テーブルで表わした場合の一回路セルの一入出力端子間の入力信号立上り時の遅延劣化量の動作条件依存性の例を示す図である。図4に示すように、4つの動作条件すなわち入力信号のスイッチング回数[回]、入力信号の立上り時間[nS]、出力負荷容量[fF]および信号電圧変動量[V]の各値に対して、遅延劣化量[nS]が表されている。

【0060】なお信頼性ライブラリ6において、図6に示すような情報を関数で表すことも可能である。この場合には、信頼性モデル3に未知数を含む関数の式を格納しておき、この関数が例えば図6のテーブルにおける各動作条件と遅延劣化量との関係に合うように、カーブフィッティングによりその未知数を決定すればよい。

【0061】遅延計算機12は、対象とするLSIを構成する各回路セルの接続情報が記述されたLSIネットリスト9と、各回路セルの遅延の所定の動作条件に対する依存性が記述された遅延ライブラリ13とを読み込み、前記LSIを構成する全回路セルの遅延を計算する。

【0062】LSIネットリスト9は、DSPF(Detailed Standard Parasitic File、例えばCadence Design Systems, Inc.のCadence Standard Parasitic Format(1993)P.8-20に記載)などの書式で記述される。本実施形態ではLSIネットリスト9には、各配線について容量結合の情報が予め付加されているものとする。

【0063】LSIネットリスト9には、高精度化のため、一般的には、回路セル間の配線の寄生容量や寄生抵抗などの寄生素子情報も含めて記述されている。寄生容量には通常、着目する配線と接地との間の容量成分と、着目する配線とこれに隣接する配線との間の結合容量の成分とが含まれている。DSPFなどの書式では、これらの成分を分けて記述できず、全ての成分を対接地容量すなわち着目する配線と接地との間の容量素子として記述している。

【0064】図7はインバータの出力信号線の寄生容量成分の例を示す図である。図7において、Ca、Cb、Cc、Cd、Cgはそれぞれ着目する配線36と、隣接する配線a、b、c、dおよび接地GNDとの間の容量成分である。通常のDSPFなどの書式では、容量成分Ca、Cb、Cc、Cd、Cgは全て配線と接地GNDとの間に記述されているが、結合容量の影響を求めるた

めに、各容量成分Ca、Cb、Cc、Cd、Cgの結合先の配線情報をLSIネットリスト9にあらかじめ付加しておく。すなわち配線36について、容量成分Ca、Cb、Cc、Cdはそれぞれ、配線a、b、c、dとの結合容量であることを、LSIネットリスト9に記録しておく。

【0065】図29はインバータが2段直列に接続された回路についての通常のDSPFネットリストの例を示す図である。図29において、先頭文字がCである行は容量を表している。図29に示すように、通常のDSPFでは、各容量は対接地容量として接地端子(図29では“0”)につながれている。

【0066】ここで、容量の中で結合容量がある場合は、図30のように別途実際の接続先の情報を追加して記述しておけばよい。図30において、(a)～(c)が図29に示すDSPFネットリストに追加した情報を示す行である。なお、DSPFの書式では*はコメント行を表しており、コメント行を追加挿入してもDSPFファイルの機能に悪影響はない。例えば、行(a)は、容量C2inpは元々は着目している信号配線中のノードinp:1とカップリング先の配線のノードnet_aとの間の容量であることを意味する。よってこの追加情報を参照すればカップリング関係がわかることになる。

【0067】また遅延ライブラリ13には、所定の動作条件として、回路セルの出力負荷容量と入力信号の立上り立下り時間とが与えられている。すなわち遅延ライブラリ13には、劣化していないときの、各回路セルの遅延の動作条件依存性が格納されている。

【0068】ここでは例として、図8に示す信号バスにおけるインバータ31の入出力端子間の伝搬遅延を計算する場合を考える。図8に示すような信号バスはLSIネットリスト9に記述されている。まずインバータ31の出力端子36につながっている負荷容量を求める。この場合、配線寄生素子34の容量とインバータ31の出力端子36に接続されたインバータ32の入力容量との和が負荷容量となる。次に入力端子35への入力信号の立上り立下り時間を求める。このためには、配線寄生素子33の容量とインバータ31の入力容量との和を負荷容量としたときの、2入力NANDゲート30の出力信号の立上り立下り時間を求めればよい。このようにして、インバータ31について出力負荷容量および入力信号立上り立下り時間が求まり、これらを基にして、遅延ライブラリ13を参照しつつ、インバータ31の入出力端子間の伝搬遅延を計算する。

【0069】遅延計算機12は、以上のような処理をLSIを構成する全回路セルについて行い、その結果を劣化前LSIタイミング8に出力する。劣化前LSIタイミング8はSDF(Standard Delay Format、例えばOpen Verilog International発行のStandard Delay Forma

10

20

30

40

50

t Specification Version 3.0, 1995に記載)などの書式で記述される。

【0070】入力ベクタ16は、LSIを論理シミュレーションさせるために必要となる、時系列に記述されたLSIの入力信号パターンである。論理シミュレータ15は、入力ベクタ16と劣化前LSIタイミング8と他の必要なデータとを読み込み、LSIの劣化前の動作タイミングを考慮した論理シミュレーションを実行し、このシミュレーション結果を劣化前結果10に出力する。

【0071】(セル遅延劣化推定工程)セル遅延劣化推定手段2は、対象とするLSIを構成する回路セルの中から、まず対象とする回路セルを決め、この回路セルについて、前記LSIの動作時における前記動作条件の値を抽出する。具体的には、LSIネットリスト9から出力負荷容量9aを、劣化前LSIタイミング8から入力信号の立上り立下り時間8aを、劣化前結果10から入力信号スイッチング回数10aを抽出する。

【0072】さらにセル遅延劣化推定手段2は、LSIネットリスト9から容量結合度合9bを抽出する。

【0073】容量結合度合について説明する。例えば図7において、配線36について、配線aとの容量結合度合は、配線36と配線aとの間の結合容量Caを配線36についての寄生容量の総和で除したもののすなわち $C_a / (C_a + C_b + C_c + C_d + C_g)$ とする。同様に、配線bとの間の容量結合度合は、配線36と配線bとの間の結合容量Cbを配線36についての寄生容量の総和で除したもののすなわち $C_b / (C_a + C_b + C_c + C_d + C_g)$ とする。なお、接地GNDとの間の容量結合度合は0とする。

【0074】LSIネットリスト9には前述のように容量結合を有する相手先の配線についての情報があらかじめ付加されているので、これを参照しながら、LSIを構成する全配線について、容量結合を有する相手先の配線との容量結合度合をそれぞれ求める。

【0075】次に、予め図9に示すような容量結合度合とカップリングノイズに起因する出力信号電圧の電源電圧または接地電圧からの変動量ΔVとの関係を示すテーブルを準備しておき、各配線について、それぞれの結合容量についての信号電圧変動量ΔVを求める。図9に示すようなテーブルを用いる場合には、任意の容量結合度合に対しては補間等の方法によって信号電圧変動量ΔVを求める。図10は図7における配線36についての信号電圧変動量ΔVの計算結果の例を示す図である。

【0076】なお図9に示すような容量結合度合と出力信号変動量ΔVとの関係を、関数で表すことも可能である。この場合には、未知数を含む関数の式を用意しておき、この関数が例えば図9に示すテーブルにおける容量結合度合と出力信号電圧変動量ΔVとの関係に合うように、カーブフィッティングによりその未知数を決定すればよい。図9に示すような情報は、セル遅延劣化推定手

段2に直接組み込む形態でもよいし、信頼性モデル3の場合と同様にセル遅延劣化推定手段2が参照できる形態としてもよい。

【0077】さらに、セル遅延劣化推定手段2は、劣化前結果10から信号遷移情報10bを抽出する。信号遷移情報とは、出力信号配線と容量結合した配線における結合信号の遷移のうち、劣化に影響のあるものの有無を示す情報のことをいう。具体的には、入力信号遷移の前後に所定の時間範囲を任意に設定し、この所定の時間範囲内における結合信号の信号遷移の有無を信号遷移情報として抽出する。

【0078】図11は結合信号の信号遷移のうち劣化に影響のないものの例を示す図である。図11に示すような入力信号が遷移しないときの結合信号の信号遷移は、カップリングノイズを生じても劣化に影響ないとして無視する。セル遅延劣化推定手段2は、このような信号遷移情報の抽出を全ての配線について行う。

【0079】図12は図7におけるインバータの出力信号線36についての信号遷移情報の抽出結果の例を示す図である。図12において、有の場合は、先に求めた図10に示すような信号電圧変動量ΔVをそのまま用いる。無の場合は、信号電圧変動量ΔVは0(V)とする。なお、配線と接地GNDとの間の容量の遷移はもともと考えないので、信号遷移の有無についての情報は無い。

【0080】次に、信頼性ライブラリ6を参照しながら、抽出した動作条件の値に基づいて、対象とする回路セルの遅延劣化量を推定する。信頼性ライブラリ6において回路セルの遅延劣化量の動作条件依存性が関数によって表されている場合は、抽出した動作条件の値を関数に代入して、対象とする回路セルの遅延劣化量を求める。一方、信頼性ライブラリ6において回路セルの遅延劣化量の動作条件依存性がテーブルによって表されている場合は、抽出した動作条件の値に応じて適当に補間を行い、対象とする回路セルの遅延劣化量を求めればよい。このような処理を、対象とするLSIを構成する全回路セルについて行った結果を、セル遅延劣化度合11として出力する。

【0081】(LSIタイミング劣化推定工程)遅延計算機12は、今度はLSIタイミング劣化推定手段18によって、LSIネットリスト9および遅延ライブラリ13に加えてセル遅延劣化度合11を読み込み、経時的に劣化した前記LSIにおける各回路セルの遅延を計算する。LSIネットリスト9および遅延ライブラリ13からは劣化前のLSIにおける各回路セルの遅延が求まるので、これに差分で表されたセル遅延劣化度合11を加える。この結果は、劣化後LSIタイミング14として出力される。劣化後LSIタイミング14も劣化前LSIタイミング8と同様に、SDFなどの書式で記述される。

【0082】論理シミュレータ15は、劣化前のLSIに対する場合と同様に、入力ベクタ16および劣化後LSIタイミング14と他の必要なデータを読み込み、LSIの劣化後の動作タイミングを考慮した論理シミュレーションを実行し、このシミュレーション結果を劣化後結果17として出力する。

【0083】このように本実施形態によると、信頼性ライブラリ6を参照して、対象とするLSIの回路セルの遅延劣化度合を個々に求め、この各回路セルの遅延劣化度合に基づいて、経時的に劣化したLSIにおける各回路セルの遅延を推定した上で、LSIの劣化後の動作のシミュレーションを行うので、LSIの実動作における信号バスの遅延劣化現象を考慮したシミュレーションを行うことができる。これにより、LSIの設計において、信頼性に対する過剰な仕様を回避することができる。

【0084】また本実施形態によると、LSIの経時的劣化を配線間のカップリングノイズの影響をも考慮して設計段階において予測し、LSIの劣化後の動作をシミュレーションするのでさらなる高精度設計、最適化設計を実現できる。

【0085】なお本実施形態では、回路セルの入力信号の立上り立下り時間は、前段の回路セルの出力負荷容量のみから求めるものとしたが、配線寄生抵抗により信号波形が変化する効果を取り込んで求めてもよい。この場合は、より高精度な入力信号の立上り立下り時間を得ることができる。

【0086】なお本実施形態では、信頼性モデル3は、回路セルの遅延劣化度合の動作条件依存性を表すための関数式を定義するものとして、信頼性ライブラリ生成装置1の外に構成されているが、これは、種々の関数式を準備しておき、信頼性ライブラリ生成装置1側で任意の関数式を選択できるようにしたものである。これに対して、装置の簡略化のために、信頼性モデル3を信頼性ライブラリ生成装置1の中に組み込んだ構成としてもよい。

【0087】また本実施形態では、回路セルとして一入力一出力であるインバータを例にあげて説明したが、入力端子および出力端子のうち少なくとも一方が複数ある回路セルについても、同様に遅延の劣化度合を推定することができる。なお、この場合には、各入力端子と各出力端子との間の遅延について、すなわち入力端子と出力端子の組み合わせの数の遅延について、劣化度合を推定する必要がある。

【0088】なお本実施形態では、セル遅延劣化度合11を推定するために、論理シミュレーションの結果である劣化前結果10から入力信号スイッチング回数10aを抽出して用いたが、この場合、例えば10年間の動作後の劣化を推定しようとする、10年分の動作を表わす入力ベクタ16を論理シミュレータ15に与えなければ

ならないことになる。これは非現実的であり、実際には、入力ベクタ16によって一定期間の動作を表わし、劣化推定期間はこの一定期間の繰り返しとみなして入力信号スイッチング回数10aを近似計算により求めればよい。入力ベクタ16が表す一定期間をT1、入力ベクタ16が表す一定期間T1内の入力信号スイッチング回数をN1、劣化推定期間をT2とすると、次のような式に従って、劣化推定期間T2内の入力信号スイッチング回数N2を求めることができる。

$$N2 = (T2 / T1) \cdot N1 \quad \cdots (2)$$

【0089】また、一定期間T1内の動作を表わす入力ベクタ16によって論理シミュレーションを実行し、このときの劣化前結果10から入力信号スイッチング確率Pを抽出し、動作周波数fおよび劣化推定期間T2から、次のような式に従って、劣化推定期間T2内の入力信号スイッチング回数N2を求めてもよい。

$$N2 = T2 \cdot f \cdot P \quad \cdots (3)$$

【0090】なお本実施形態では、セル遅延劣化推定手段2は配線容量とセルの入力容量との和である出力負荷容量9aをLSIネットリスト9から抽出するものとしたが、配線容量をLSIネットリスト9から抽出するとともに、セルの入力容量を予め遅延ライブラリ13に格納しておき、この遅延ライブラリ13から抽出して、セル遅延劣化推定手段2が両者を足し合わせて出力負荷容量とする形態としてもよい。

【0091】なお本実施形態では、劣化前LSIタイミング8および劣化後LSIタイミング14は回路セルのみの遅延を含むものとしていたが、回路セル間の配線遅延も含む形態としてもよい。この場合、遅延計算機12が、LSIネットリスト9から配線抵抗や配線容量などの寄生素子の情報を読み出すとともに、遅延ライブラリ13から出力端子の駆動特性（例えば出力インピーダンスや出力電流）を読み出し、両者から回路セルの出力端子に接続されている配線の遅延を計算し、劣化前LSIタイミング8または劣化後LSIタイミング14に出力するものとすればよい。これにより、さらなる論理シミュレーションの高精度化を達成することができる。

【0092】また、信頼性ライブラリ6に回路セルの出力端子の駆動特性変化量の動作条件依存性をも持たせ、セル遅延劣化推定手段2およびLSIタイミング劣化推定手段18が遅延劣化量の計算と同様に駆動特性劣化量を計算し、劣化後の駆動特性に基づいて配線遅延を求め、劣化後LSIタイミング14に出力することによって、劣化後の回路セルの特性変化により配線遅延が変化する効果も考慮することができる。

【0093】なお、回路セルはCMOSの場合、N型MOSトランジスタおよびP型MOSトランジスタから構成されるが、ホットキャリア劣化についてはN型において顕著であり、P型でも生じるがN型に比べて一般的にかなり少ない。そこで、劣化はN型だけに生じると仮定

して、回路信頼性シミュレータ4による解析を行ってもよい。

【0094】なお本実施形態では、セル遅延劣化推定手段2が劣化前結果10から信号遷移情報10bを抽出するとき、出力信号線と容量結合している配線の信号すなわち結合信号の遷移が、入力信号の遷移の前後に任意に設定した時間範囲内に生じるか否かを調べるものとしたが、このとき設定する時間範囲は、LSI1個あたりに1値を設定してもよいし、複数の値を設定してもよい。

【0095】なお本実施形態では、対象となる回路セルの入力信号の遷移と、出力信号に容量結合している信号の遷移とが入力信号の遷移の前後の任意に設定した時間範囲内で1つの結合信号からのノイズを受けることを想定していたが、複数の結合信号からのノイズを受けることにしてもよい。この場合、設定した時間範囲内の複数の結合信号の同時（ほぼ同時でもよい）遷移を検出して、それに対応した変動量 ΔV を求めればよい。

【0096】図12において複数の配線について時間範囲内遷移が有る場合、図10によってそれぞれ個別の変動量 ΔV がわかっているため、一例として単純にそれらの和で複数の結合信号の遷移による影響を総合した変動量 ΔV を表わす方法が考えられる。例えば配線aと配線cで時間範囲内遷移が有るなら、それぞれの変動量 ΔV は図10からそれぞれ0.15[V]、0.45[V]なので、これらの和0.6[V]（＝0.15+0.45）を ΔV として用いればよい。

【0097】なお本実施形態では、カップリングノイズに起因して回路セルの出力信号電圧が電源電圧VDDよりも高くなるすなわち電圧（VDD+ ΔV ）になる場合と、接地電圧GNDよりも低くなるすなわち電圧（GND- ΔV ）になる場合とを扱うものとした。もちろん結合信号の遷移の方向によっては、出力信号電圧は、電源電圧VDDよりも低くなったり（電圧（VDD- ΔV ））、接地電圧GNDよりも高くなったり（電圧（GND+ ΔV ））する場合も起こりうる。これらの場合については、劣化は弱まる傾向にあるため本実施形態では考慮しないものとしたが、高精度の解析が必要な場合にはこれらの場合も扱うようにすればよい。この場合、信号電圧変動量 ΔV についてその正負までも考慮した信頼性ライブラリ6を信頼性ライブラリ生成装置1によって生成し、結合信号の遷移方向を出力信号の遷移方向との対応関係において検出して、信号電圧変動量 ΔV をその正負を含めて求めるようにすればよい。

【0098】なお本実施形態では、遅延ライブラリ13には、所定の動作条件として、回路セルの出力負荷容量と入力信号の立上り立下り時間とが与えられているものとしたが、さらにカップリングノイズに起因する出力信号電圧の電源電圧または接地電圧からの変動量を動作条件に加えてもよい。

【0099】（第2の実施形態）図13は本発明の第2

の実施形態に係るLSIのタイミング劣化シミュレーション装置の構成を示すブロック図である。図13において、図1に示す第1の実施形態に係るLSIのタイミング劣化シミュレーション装置と共通の構成要素には、図1と同一の符号を付している。

【0100】図13に示すように、本実施形態では、遅延計算機12AはLSIタイミング劣化推定手段18を備えておらず、LSIタイミング劣化推定手段18は遅延計算機12Aと別に設けられている点が第1の実施形態と異なっている。LSIタイミング劣化推定手段18の機能自体は第1の実施形態と同様であり、セル遅延劣化推定手段2によって推定されたセル遅延劣化度合11を参照しつつ、劣化後LSIタイミング14を求める。また、本実施形態に係るLSIのタイミング劣化シミュレーション装置全体の動作は第1の実施形態と同様であり、ここでは詳細な説明を省略する。

【0101】このように本実施形態によると、第1の実施形態と同様の効果が得られるのに加えて、遅延計算機12Aとして従来のものを用いることができるという効果がある。

【0102】（第3の実施形態）図14は本発明の第3の実施形態に係るLSIのタイミング劣化シミュレーション装置の構成を示すブロック図である。図14において、図1に示す第1の実施形態に係るLSIのタイミング劣化シミュレーション装置と共通の構成要素には、図1と同一の符号を付している。

【0103】図14に示すように、本実施形態では、遅延計算機12BはLSIタイミング劣化推定手段18に加えてセル遅延劣化推定手段2を有しており、遅延計算機12Bが信頼性ライブラリ6を直接参照しながら劣化後LSIタイミング14を求める点が第1の実施形態と異なっている。本実施形態に係るLSIのタイミング劣化シミュレーション装置全体の動作は第1の実施形態と同様であり、ここでは詳細な説明を省略する。

【0104】このように本実施形態によると、第1の実施形態と同様の効果が得られるのに加えて、セル遅延劣化推定手段2が遅延計算機12Bに内蔵されているので、全体の構成が簡易になる。

【0105】（第4の実施形態）本発明の第4の実施形態に係るLSIのタイミング劣化シミュレーション装置は、第1の実施形態と同様に図1に示すような構成からなるが、信頼性ライブラリ6が回路セルの出力信号の立上り立下り時間の劣化度合の所定の動作条件に対する依存性についても、情報を有している点が異なる。すなわち、本実施形態では、信頼性ライブラリ生成装置1は、回路セルの出力信号の立上り立下り時間の劣化度合についても、所定の動作条件に対する依存性を、セルネットリスト7に基づいて回路信頼性シミュレータ4を駆動して求めるものである。

【0106】本実施形態に係るLSIのタイミング劣化

シミュレーション装置の動作について説明する。ここでは、第1の実施形態と異なる点について説明し、それ以外は説明を省略する。

【0107】図15はインバータの入力信号と出力信号の劣化前と劣化後における波形を示す図である。図15において、実線は劣化前の信号波形、破線は劣化後の信号波形である。図15に示すように、インバータが劣化すると、図3および図4で説明したように入力端子と出力端子との間の伝搬遅延は t_1 から t_2 に変化する。さらに出力トランジスタの駆動能力が劣化するため、出力信号の立下り時間も t_{s1} から t_{s2} に変化する。なおここでは、出力信号の立下り時間は、出力信号電圧が電源電圧VDDの90%から10%まで変化する時間で表している。

【0108】そこで本実施形態では、信頼性ライブラリ6は、回路セルの出力信号の立上り立下り時間の劣化度合についても、回路セルの特性劣化度合として、所定の動作条件に対する依存性を表すものとする。所定の動作条件としては、第1の実施形態と同様に、回路セルの、入力信号の立上り立下り時間と、出力負荷容量と、入力信号のスイッチング回数と、カップリングノイズに起因する出力信号電圧の電源電圧または接地電圧からの変動量とを用いる。また本実施形態では、伝搬遅延の劣化度合と同様に、回路セルの出力信号の立上り立下り時間の劣化度合を、次式のように、劣化後の立上り立下り時間 t_{s2} と劣化前の立上り立下り時間 t_{s1} との差分 Δt_s すなわち劣化量として表すものとする。

$$\Delta t_s = t_{s2} - t_{s1} \quad \cdots (4)$$

【0109】信頼性ライブラリ生成装置1は、遅延劣化量に加えて、出力信号の立上り立下り時間の劣化量について、所定の動作条件に対する依存性を、遅延劣化量の場合と同様にして求める。すなわち、前記の4つの動作条件の値をそれぞれある値に設定し、すでに読み込んだ、対象とする回路セルのネットリストの情報とともに回路信頼性シミュレータ4に渡し、回路信頼性シミュレータ4を駆動する。回路信頼性シミュレータ4は、前記回路セルの各トランジスタの特性劣化度合を求める。信頼性ライブラリ生成装置1は回路信頼性シミュレータ4から前記回路セルの各トランジスタの特性劣化度合を受け、信頼性モデル3を参照しつつ、前記回路セルの出力信号の立上り立下り時間の劣化量を求める。このような動作を、前記4つの動作条件の値を適切な範囲で変化させながら行うことにより、出力信号の立上り立下り時間の劣化量の前記4つの動作条件に対する依存性を求める。この出力信号の立上り立下り時間の劣化量の動作条件依存性は関数やテーブルで表され、信頼性ライブラリ6に出力される。以上のような動作を、セルネットリスト7に格納された全種類の回路セルについて順次行っていく。

【0110】図16は本実施形態に係る信頼性ライブラ

リ6が有する、回路セルの出力信号の立上り立下り時間の劣化量の動作条件依存性を表す情報を示す図であり、テーブルで表した場合の一回路セルの出力端子における出力信号の立下り時間の劣化量の動作条件依存性の例を示す図である。図16に示すように、4つの動作条件すなわち入力信号のスイッチング回数[回]、入力信号の立上り時間[nS]、出力負荷容量[fF]および信号電圧変動量[V]の各値に対して、出力信号の立下り時間劣化量[nS]が表されている。なお第1の実施形態と同様に、図16に示すような情報を関数で表すことも可能である。

【0111】セル遅延劣化推定手段2は、遅延劣化量および出力信号の立上り立下り時間の劣化量の動作条件依存性を表す信頼性ライブラリ6を参照しながら、対象とする回路セルの遅延劣化量を推定する。

【0112】ここでは例として、図8に示す信号パスにおけるインバータ31の遅延劣化量を推定するものとする。セル遅延劣化推定手段2は、まず対象とする回路セルすなわちインバータ31と、その入力端子35に接続されている前段の回路セル30とを特定し、その動作条件の値を抽出する。インバータ31および前段の回路セル30について、LSIネットリスト9から出力負荷容量9aと容量結合度合9bを、劣化前LSIタイミング8から入力信号立上り立下り時間8aを、劣化前結果10から入力信号スイッチング回数10aと信号遷移情報10bを、それぞれ抽出する。

【0113】次に、抽出した動作条件の値に基づき、信頼性ライブラリ6を参照しながら、まず前段の回路セル30の出力信号立上り立下り時間劣化量を計算する。この劣化量を、すでに抽出したインバータ31の入力信号立上り立下り時間に加えて、劣化後の入力信号立上り立下り時間とする。そしてインバータ31について、求めた劣化後入力信号立上り立下り時間と、すでに抽出した出力負荷容量9a、容量結合度合9b、入力信号スイッチング回数10aおよび信号遷移情報10bとに基づいて、信頼性ライブラリ6を参照しながら、遅延劣化量を計算する。以上の処理を全てのLSI中のセルについて行っていく。

【0114】このように本実施形態によると、回路セルの遅延劣化量を、遅延劣化量および出力信号の立上り立下り時間の劣化量の動作条件依存性を表す信頼性ライブラリを参照して、推定するので、劣化によって出力信号波形が変化する現象も考慮したシミュレーションを実行することができる。したがって、劣化による出力信号波形の変化を考慮せず、遅延劣化量のみ動作条件依存性を表す信頼性ライブラリを参照して回路セルの遅延劣化量を推定する第1の実施形態に比べて、さらに高精度なシミュレーションが可能になる。

【0115】(第5の実施形態) 本発明の第5の実施形態に係るLSIのタイミング劣化シミュレーション装置

は、第4の実施形態と同様に、図1に示す構成において信頼性ライブラリ6が回路セルの出力信号波形の立上り立下り時間の劣化度合についての情報を有するものである。ただし本実施形態は、劣化度合を劣化前の特性値と劣化後の特性値との比で表すことを特徴とする。

【0116】すなわち、回路セルの遅延の劣化度合を劣化前遅延に対する劣化後遅延の比で表し、また回路セルの出力信号立上り立下り時間の劣化度合を、劣化前の出力信号立上り立下り時間に対する劣化後の出力信号立上り立下り時間の比で表すものとする。

【0117】本実施形態に係るLSIのタイミング劣化シミュレーション装置の動作について説明する。ここでは、第4の実施形態と異なる点について説明し、それ以外は説明を省略する。

【0118】第4の実施形態では、式(1)、(4)に示すように、遅延の劣化度合も出力信号立上り立下り時間の劣化度合とともに差分で表現していた。本実施形態では、次のような式に示すように、遅延の劣化度合は、劣化前遅延 t_1 に対する劣化後遅延 t_2 の比 R によって表すものとし、出力信号立上り立下り時間の劣化度合は、劣化前の出力信号立上り立下り時間 t_{s1} に対する劣化後の出力信号立上り立下り時間 t_{s2} の比 R_s によって表すものとする。

$$R = t_2 / t_1 \quad \dots (5)$$

$$R_s = t_{s2} / t_{s1} \quad \dots (6)$$

【0119】信頼性ライブラリ生成装置1は、差分で表される遅延劣化度合を求める場合と同様に、比で表される遅延劣化度合を求める。すなわち、第1の実施形態と同様に、4つの動作条件の値を適切な範囲で変化させながら、回路信頼性シミュレータ4を駆動して、対象とする回路セルの遅延の劣化比の前記4つの動作条件に対する依存性を求める。同様に、対象とする回路セルの出力信号立上り立下り時間の劣化比の前記4つの動作条件に対する依存性を求める。

【0120】図17は本実施形態に係る信頼性ライブラリ6が有する、回路セルの遅延劣化比の動作条件依存性を表す情報を示す図であり、テーブルで表した場合の一回路セルの入出力端子間の入力信号立上り時の遅延劣化比の動作条件依存性の例を示す図である。図17に示すように、4つの動作条件すなわち入力信号のスイッチング回数[回]、入力信号の立上り時間[nS]、出力負荷容量[fF]および信号電圧変動量[V]の各値に対して、遅延劣化比が表されている。出力信号立上り立下り時間の劣化比の動作依存性についても、同様に表すことができる。なお第1の実施形態と同様に、図17に示すような情報を関数で表すことも可能である。

【0121】セル遅延劣化推定手段2は、遅延劣化比および出力信号の立上り立下り時間の劣化比の動作条件依存性を表す信頼性ライブラリ6を参照しながら、対象とする回路セルの遅延劣化比を推定する。

【0122】ここでは例として、図8に示す信号パスにおけるインバータ31の遅延劣化比を推定するものとする。セル遅延劣化推定手段2は、まず対象とする回路セルすなわちインバータ31と、その入力端子35に接続されている前段の回路セル30とを特定し、その動作条件の値を抽出する。インバータ31および前段の回路セル30について、LSIネットリスト9から出力負荷容量9aと容量結合度合9bを、劣化前LSIタイミング8から入力信号立上り立下り時間8aを、劣化前結果10から入力信号スイッチング回数10aと信号遷移情報10bを、それぞれ抽出する。

【0123】次に、抽出した動作条件の値に基づき、信頼性ライブラリ6を参照しながら、まず前段の回路セル30の出力信号立上り立下り時間劣化比を計算する。この劣化比を、すでに抽出したインバータ31の入力信号立上り立下り時間に掛けて、劣化後の入力信号立上り立下り時間とする。そしてインバータ31について、求めた劣化後の入力信号立上り立下り時間と、すでに抽出した出力負荷容量9aと容量結合度合9bおよび入力信号スイッチング回数10aと信号遷移情報10bとに基づいて、信頼性ライブラリ6を参照しながら、遅延劣化比を計算する。

【0124】LSIタイミング劣化推定手段18は、LSIネットリスト9および遅延ライブラリ13並びに遅延劣化比で表されたセル遅延劣化度合11を読み込み、経時的に劣化したLSIにおける各回路セルの遅延を計算する。LSIネットリスト9および遅延ライブラリ13から劣化前のLSIにおける遅延が求まるので、これに比で表現されたセル遅延劣化度合11を掛け合わせる。この結果は、劣化後LSIタイミング14として出力される。この劣化後LSIタイミング14も、劣化前LSIタイミング8と同様にSDFなどの書式で記述される。

【0125】このように本実施形態によると、セル遅延劣化度合11において、遅延劣化度合が比という相対的な情報によって表現されるので、例えば遅延ライブラリ13と信頼性ライブラリ6とが互いに異なるプロセスパラメータを用いて生成されているような場合であっても、精度良くシミュレーションを行うことができる。

【0126】(第6の実施形態)図18は本発明の第6の実施形態に係るLSIのタイミング劣化シミュレーション装置の構成を示す図である。本実施形態に係るLSIのタイミング劣化シミュレーション装置は、第1の実施形態と同様の構成からなるが、信頼性ライブラリ6が、回路セルに印加される電源電圧や温度に対する各回路セルの遅延劣化度合の依存性についての情報も有する点が異なる。すなわち、本実施形態では、信頼性ライブラリ生成装置1は、回路セルの信号伝搬遅延や出力信号の立上り立下り時間の劣化度合について、所定の動作条件に対する依存性を、種々の電源電圧や温度において、

セルネットリスト7に基づいて回路信頼性シミュレータ4によって求めるものである。

【0127】本実施形態に係るLSIのタイミング劣化シミュレーション装置の動作について説明する。ここでは、第1の実施形態と異なる点について説明し、それ以外は説明を省略する。

【0128】信頼性ライブラリ生成装置1は、回路セルに印加される電源電圧や温度の値を適当な範囲で変化させながら、それぞれの電源電圧または温度において、第1の実施形態と同様に4つの動作条件を適切な範囲で変化させながら、遅延劣化量の動作条件依存性を求める。求められた遅延劣化量の電源電圧または温度毎の動作条件依存性は、関数やテーブルで表され、信頼性ライブラリ6に出力される。このような処理を回路セルの全種類について順次行っていく。

【0129】図19は本実施形態に係る信頼性ライブラリ6が有する回路セルの遅延劣化度合についての情報を示す図であり、テーブルで表した場合の一回路セルの入出力端子間の入力信号立上り時の遅延劣化量の電源電圧毎の動作条件依存性の例を示す図である。

【0130】セル遅延劣化推定手段2は、所定の電源電圧61が与えられると、図19に示すような信頼性ライブラリ6が有する情報に基づいて、補間などの手法によってその電源電圧61における遅延劣化量の動作条件依存性を表すテーブルまたは関数式を生成する。これ以降の処理は第1の実施形態と同様である。ただし、遅延ライブラリ13も、前記所定の電源電圧61についてあらかじめ生成されている必要がある。

【0131】また図20は本実施形態に係る信頼性ライブラリ6が有する回路セルの遅延劣化度合についての情報を示す図であり、テーブルで表した場合の一回路セルの入出力端子間の入力信号立上り時の遅延劣化量の温度毎の動作条件依存性の例を示す図である。

【0132】セル遅延劣化推定手段2は、所定の温度62が与えられると、図20に示すような信頼性ライブラリ6が有する情報に基づいて、補間などの手法によってその温度62における遅延劣化量の動作条件依存性を表すテーブルまたは関数式を生成する。これ以降の処理は第1の実施形態と同様である。ただし、遅延ライブラリ13も、前記所定の温度62についてあらかじめ生成されている必要がある。

【0133】このように本実施形態によると、LSIの劣化の電源電圧や温度に対する依存性も考慮することができるので、劣化後のLSIの動作を動作電源電圧の範囲や動作温度の範囲において、解析できるようになる。

【0134】なお、本実施形態では、LSIの劣化について、電源電圧に対する依存性と温度に対する依存性とを個別に考慮するものとしたが、両者を併せて考慮するようにしてもよい。この場合には、信頼性ライブラリ6において、図20に示すような情報を電源電圧毎に準備

しておけばよい。また、所定の電源電圧または温度は、LSIに対してそれぞれ1つの値を設定してもかまわないし、種々の値の中から回路セル毎に1つずつ設定してもかまわない。

【0135】(第7の実施形態)本発明の第7の実施形態は、複数の入力端子を有する回路セルについて、一つの入力端子と出力端子との間の信号伝搬遅延の劣化を求める場合に、他の入力端子への入力信号の立上り立下り時間およびスイッチング回数も参照して求めるものである。本発明の第7の実施形態に係るLSIのタイミング劣化シミュレーション装置は、第1の実施形態と同様に図1に示すような構成からなる。

【0136】回路セルとして図21に示すような2入力NANDゲートを考える。図21において、A、Bは入力端子、Yは出力端子である。図21に示す2入力NANDゲートのトランジスタレベルの回路図は、CMOSの場合は図22に示すようになる。

【0137】図21に示す2入力NANDゲートにおいて、入力端子Aと出力端子Yとの間の信号伝搬遅延の劣化は、入力端子Bへの入力信号(以下「入力信号B」という)のスイッチングの履歴に依存する。一方、入力端子Bと出力端子Yとの間の信号伝搬遅延の劣化は、入力端子Aへの入力信号(以下「入力信号A」という)のスイッチングの履歴に依存する。特に出力信号の立下り時には、電流は、図22におけるN型MOSトランジスタN1、N2が直列接続された部分を主に流れるため、信号伝搬遅延の劣化度合は、各N型MOSトランジスタN1、N2の劣化度合に影響される。

【0138】このため本実施形態では、信頼性ライブラリ生成装置1は、入力信号Aのスイッチング回数と入力信号Bのスイッチング回数とに対する依存性を考慮した、信頼性ライブラリ6を生成する。

【0139】図23は本実施形態に係る信頼性ライブラリ6が有する情報を、カップリングによる出力信号電圧の電源電圧または接地電圧からの一変動量に対して示した図である。図23において、Tisは入力信号の立上り立下り時間、C1は出力負荷容量である。またtable n (Tis, C1) (ただしn=1~9)は、入力信号Aのスイッチング回数をその上方に示す値にするとともに入力信号Bのスイッチング回数をその左方に示す値にして、入力信号の立上り立下り時間Tisと出力負荷容量C1を適当に変化させて作成した、入力端子Aと出力端子Yとの間の信号伝搬遅延の劣化度合を示すテーブルである。

【0140】セル遅延劣化推定手段2は劣化前結果10から入力信号スイッチング回数10aを抽出する。例えば入力信号スイッチング回数10aにおいて、入力信号Aのスイッチング回数が10¹¹であり、入力信号Bのスイッチング回数が10¹¹であるとする、セル遅延劣化推定手段2はテーブルとしてtable 7を選択する。ま

た、信頼性ライブラリ6にテーブルが準備されていないスイッチング回数が抽出された場合は、補間等によって、そのスイッチング回数についてのテーブルを求める。

【0141】このように本実施形態によると、複数の入力端子を有する回路セルについて、一の入力端子と出力端子との間の信号伝搬遅延の劣化度合を、他の入力端子における入力信号の立上り立下り時間およびスイッチング回数も考慮して求めることができ、第1の実施形態に比べて、シミュレーションの精度を向上させることができる。

【0142】なお本実施形態では、信頼性ライブラリ6において、情報はテーブル形式で表されるものとしたが、関数によって表されるものとしてもかまわない。

【0143】なお本実施形態では、入力端子A、Bにおいて入力信号の立上り立下り時間が等しいという仮定の下に信頼性ライブラリ6にテーブルを準備したが、入力信号Aの立上り立下り時間と入力信号Bの立上り立下り時間とは異なるものとして、テーブルを準備してもよい。この場合には、table n (Tisa, Tisb, C1) というように各テーブルの次元をさらに増やす必要がある。ここで、Tisaは入力信号Aの立上り立下り時間、Tisbは入力信号Bの立上り立下り時間である。

【0144】(第8の実施形態)本発明の第8の実施形態は、回路セルの代わりに、クリティカルパスなどの複数の回路セルからなる信号バスを、遅延推定の単位とするものである。本発明の第8の実施形態に係るLSIのタイミング劣化シミュレーション装置は、第1の実施形態と同様に図1に示すような構成からなる。

【0145】図24は本実施形態において遅延推定の単位とする信号バスの一例である。図24に示す入力端子Aから出力端子Yまでの信号バス50は、直列接続された4段の回路セル51、52、53、54からなる。2入力NANDゲート51は一方の入力端子が入力端子Aと接続されており、インバータ52は入力端子が2入力NANDゲート51の出力端子と接続されており、3入力NANDゲート53は一方の入力端子がインバータ52の出力端子と接続されており、インバータ54は入力端子が3入力NANDゲート53の出力端子と接続され、かつ出力端子が出力端子Yと接続されている。

【0146】2入力NANDゲート51や3入力NANDゲート53のように複数の入力端子を有する回路セルにおいて、注目する信号バス50とは関係のない端子X1、X2、X3には、信号が信号バス50に沿って流れていくようにその論理値を固定する。図24に示す信号バス50では、端子X1、X2、X3の信号には論理値“1”を固定しておく。

【0147】本実施形態では、図24に示すような信号バス50を、入力端子Aおよび出力端子Bを有する1つ

の回路セルとして扱うものとする。これ以外の点は第1の実施形態と同様である。

【0148】すなわち、セル遅延劣化推定手段2は、LSIを構成する回路セルのうち少なくとも一部のものについて、複数の回路セルからなる信号バスを単位として、遅延劣化度合を推定し、LSIタイミング劣化推定手段18は、セル遅延劣化推定手段2によって推定された信号バスの遅延劣化度合を含むセル遅延劣化度合11に基づいて、経時的に劣化したLSIにおける前記信号バスの遅延を推定する。そして、劣化後のLSIにおける前記信号バスの遅延を含む劣化後LSIタイミング14に基づいて、LSIの劣化後の動作がシミュレーションされる。ただし、LSIタイミング劣化推定手段18による処理において、LSIネットリスト9とセル遅延劣化度合11とで対応がとれるように、LSIネットリスト9に図24に示すような信号バスの定義情報を持たせておく必要がある。

【0149】このように本実施形態によると、クリティカルパスなどの複数段の回路セルからなる信号バスを遅延推定の単位として扱うので、LSI中の全信号バスについて回路セルを単位として遅延を推定する第1の実施形態に比べて、簡易に実行でき、しかも全体の演算処理量を削減することができる。

【0150】なお本実施形態では、注目する信号バスと関係のない端子X1、X2、X3の信号は固定するものとしたが、その信号の実際のスイッチング回数を信号バスの遅延推定に反映させてもよい。

【0151】なお、対象とするLSI中の回路セルの1部を信号バス単位で扱い、それ以外の回路セルは第1の実施形態のように各回路セルを単位として扱うというように2種類の方法を同時に用いてもよい。

【0152】なお本実施形態では、信号バス50は最小単位の回路セルから構成されていたが、複数階層構造をもつものであってもよい。

【0153】(第9の実施形態)フリップフロップやラッチのようにデータを記憶する回路セルは、入力データ信号とこの入力データを取り込むためのクロック信号との位相関係や、入力データ信号およびクロック信号の有効期間などに応じて、正常動作したり誤動作したりする。このため、前記の位相関係や有効期間などについて回路セルが誤動作しない限界の値を予め決めておいて、LSI内の回路セル毎に、前記の位相関係や有効期間が限界値を越えないかどうかを検査することを、たとえば論理シミュレータによって行う。予め決めておいた前記の位相関係や有効期間などの限界値のことを、タイミングチェック値(timing constraints)という。

【0154】タイミングチェック値としては、セットアップ時間、ホールド時間、最小パルス幅、リカバリ時間、リムーバブル時間、リリース時間などがある。

【0155】例えばフリップフロップの場合、セットア

ップ時間は、クロック信号が有効になるどのくらい前に、入力データ信号が確定していなければならないか、を定めたものである。またホールド時間は、クロック信号が有効になってからどのくらい後まで、入力データ信号が保持されていないといけないか、を定めたものである。また最小パルス幅は、回路セルが正常動作可能である、クロック信号の有効期間（パルス幅）の最小値を表すものである。

【0156】このようなタイミングチェック値は、回路セル内の信号伝搬状態に依存するため、経時的劣化によって回路セル内のトランジスタ特性が劣化すれば、回路セル内の信号伝搬状態も変化するので、この変化に合わせてタイミングチェック値も変える必要がある。

【0157】本発明の第9の実施形態は、回路セルの遅延だけでなく、回路セルのタイミングチェック値についても劣化度を推定し、推定した回路セルのタイミングチェック値の劣化度合に基づいて劣化後のタイミングチェック値を求めて、LSIの動作タイミングの検査を行うものである。

【0158】図25は本発明の第9の実施形態に係るLSIのタイミング劣化シミュレーション装置の構成を示すブロック図である。図25に示すように、本実施形態に係るLSIのタイミング劣化シミュレーション装置は、信頼性ライブラリ6Aが有するタイミングチェック値の情報（タイミングチェック値6b）からタイミングチェック値劣化度合72を推定するタイミングチェック値劣化推定手段71を備えており、セル遅延劣化推定手段2およびタイミングチェック値劣化推定手段71によって劣化推定手段70が構成されている。信頼性ライブラリ6Aが有するセル遅延の情報（セル遅延6a）は、第1～第8の実施形態における信頼性ライブラリ6と同様の情報を有する。また遅延ライブラリ13Aは、セル遅延の情報（セル遅延13a）とタイミングチェック値の情報（タイミングチェック値13b）を備えており、セル遅延13aは第1～第8の実施形態における遅延ライブラリ13と同様の情報を有する。

【0159】まず、遅延ライブラリ13Aにおけるタイミングチェック値13bの生成について、説明する。ここではフリップフロップのセットアップ時間の場合を例にとって説明する。

【0160】クロック信号が有効になる時刻 t_c に対して、入力データ信号が有効になる時刻 t_d を時刻 t_c の前で適当な時間間隔でスライドして（すなわちクロック-入力データの位相差を変化させて）、入力データがフリップフロップに正しく取り込まれる限界の時間差（ $t_c - t_d$ ）をセットアップ時間として求める。

【0161】セットアップ時間のようなタイミングチェック値は、クロック信号および入力データ信号の立上り時間および立下り時間（セットアップ時間ではクロック信号が論理値“1”で有効になる回路セルの場合はクロ

ック信号については立下り時間は不要）、並びに回路セルの電源電圧および温度に影響を受けるので、これらを動作条件とし、各動作条件を適切な範囲で変化させながらタイミングチェック値を求めていき、全体として、タイミングチェック値の動作条件依存性を求める。通常は、遅延ライブラリ生成装置（図示せず）がSPICEなどの回路シミュレータ（図示せず、回路信頼性シミュレータ4とは異なるもの）を駆動して、前記のような解析を行う。

【0162】このようにして、遅延ライブラリ生成装置は、フリップフロップやラッチなどの回路セルについて、タイミングチェック値の動作条件依存性をそれぞれ求めていき、回路セルの遅延の動作条件依存性の情報とともに遅延ライブラリ13Aに出力する。

【0163】図26は遅延ライブラリ13Aのタイミングチェック値13bが持つ情報の一例であり、劣化前のフリップフロップのセットアップ時間の動作条件依存性の例を示す図である。図26において、 T_{isck} はクロック信号の立上り時間、 T_{isd} は入力データ信号の立上り時間である。なお図26では、電源電圧および温度は固定されているものとする。

【0164】次に、信頼性ライブラリ6Aにおけるタイミングチェック値6bの生成について、説明する。

【0165】タイミングチェック値の劣化度合は、クロック信号および入力データ信号の立上り時間および立下り時間、並びに回路セルの電源電圧および温度に加えて、クロック信号および入力データ信号のスウィッチング回数の影響を受けるので、これらを動作条件として、各動作条件を適切な範囲で変化させながらタイミングチェック値を求めていき、全体として、タイミングチェック値の劣化度合の動作条件依存性を求める。

【0166】ここでは、タイミングチェック値の劣化度合を、次式に示すような、劣化後のタイミングチェック値 t_{t2} と劣化前のタイミングチェック値 t_{t1} との差分 Δt_t すなわちタイミングチェック値劣化量で表すものとする。

$$\Delta t_t = t_{t2} - t_{t1} \quad \dots (7)$$

【0167】信頼性ライブラリ生成装置1Aは、各動作条件の値をそれぞれある値に設定し、すでに読み込んだ、対象とする回路セルのネットリスト7の情報とともに回路信頼性シミュレータ4に渡し、回路信頼性シミュレータ4を駆動する。回路信頼性シミュレータ4は前記回路セルの各トランジスタの特性劣化度合を求める。信頼性ライブラリ生成装置1Aは回路信頼性シミュレータ4から前記回路セルの各トランジスタの特性劣化度合を受け、信頼性モデル3を参照しつつ、前記回路セルのタイミングチェック値劣化量を求める。

【0168】フリップフロップのセットアップ時間の劣化量を例にとると、劣化前と劣化後についてそれぞれ、クロック信号が有効になる時刻 t_c に対して入力データ

10

20

30

40

50

信号が有効になる時刻 t_d を時刻 t_c の前で適当な時間間隔でスweepして、入力データがフリップフロップに正しく取り込まれる限界の時間差 ($t_c - t_d$) を、セットアップ時間として求める。劣化前の時間差と劣化後の時間差との差から、劣化量を求める。

【0169】このような動作を、各動作条件の値を適切な範囲で変化させながら行うことによって、前記回路セルのタイミングチェック値の劣化量の動作条件依存性が求まる。このタイミングチェック値劣化量の動作条件依存性は関数やテーブルで表され、信頼性ライブラリ6Aのタイミングチェック値6bに出力される。以上のような動作を、セルネットリスト7に格納された回路セルの中で必要なものについて、順次行っていく（タイミングチェック値が必要になるのは、フリップフロップやラッチなどの回路セルに限られるため）。

【0170】図27および図28は、信頼性ライブラリ6Aのタイミングチェック値6bが持つ情報の一例であり、フリップフロップのセットアップ時間の劣化量の動作条件依存性を表す情報を示す図である。図27において、Tisckはクロック信号の立上り立下り時間、Tisdは入力データ信号の立上り立下り時間である。またtable n (Tisck, Tisd) (ただし $n = 1 \sim 9$) は、クロック信号のスウィッチング回数をその上方に示す値にするとともに入力データ信号のスウィッチング回数をその左方に示す値にして、クロック信号の立上り立下り時間Tisckと入力データ信号の立上り立下り時間Tisdを適当に変化させて作成した、セットアップ時間の劣化量を示すテーブルである。また図28において、(a)はtable 1の例を、(b)はtable 2の例を、それぞれ示している。ただし図27および図28では、電源電圧および温度は固定されているものとする。

【0171】タイミングチェック値劣化推定手段71は、信頼性ライブラリ6Aのタイミングチェック値6bから、タイミングチェック値劣化度合72を求める。

【0172】まず、劣化後のタイミングチェック値を求める必要がある回路セル（フリップフロップやラッチ）をLSIネットリスト9から抽出する。そして、抽出した全回路セルについて、以下のような手順でタイミングチェック値の劣化量を求める。

【0173】抽出した回路セルについて、劣化前LSIタイミング8に含まれる入力信号の立上り立下り時間8aを参照して、タイミングチェック値の劣化量を求めるために必要になる、クロック信号や入力データ信号などの立上り立下り時間を順次抽出する。また抽出した回路セルについて、劣化前結果10に含まれる入力信号のスウィッチング回数10aを参照して、タイミングチェック値の劣化量を求めるために必要になる、クロック信号や入力データ信号などのスウィッチング回数を順次抽出する。

【0174】次に、信頼性ライブラリ6Aのタイミング

チェック値6bすなわちタイミングチェック値劣化量の動作条件依存性を参照し、抽出した、クロック信号や入力データ信号などの立上り立下り時間およびスウィッチング回数から、前記回路セルのタイミングチェック値の劣化量を求める。この場合、タイミングチェック値6bがテーブルで表されているときは、内挿などによって求める。求めた各回路セルのタイミングチェック値の劣化量はタイミングチェック値劣化度合72に出力される。

【0175】LSIタイミング劣化推定手段18Aは、劣化前のLSIにおけるタイミングチェック値である遅延ライブラリ13Aのタイミングチェック値13bに、差分で表されたタイミングチェック値劣化度合72を加えることによって、劣化後のLSIにおけるタイミングチェック値を求め、劣化後LSIタイミング14Aに出力する。

【0176】論理シミュレータ15Aは、LSI内のフリップフロップやラッチについて、劣化後におけるクロック信号や入力データ信号の変化を論理シミュレーションによって推定することができるので、劣化後のLSIにおいて回路セルが正常動作するか否かを、劣化後LSIタイミング14Aに含まれるタイミングチェック値に基づいて、検査する。

【0177】例えばフリップフロップについて、クロック信号が有効になる時刻 t_c と入力データ信号が有効になる時刻 t_d との時間差 ($t_c - t_d$) が、劣化前は $3.0 [nS]$ であり、劣化後は劣化後LSIタイミング14Aに基づいて論理シミュレーションした結果、 $2.2 [nS]$ であったとする。またタイミングチェック値としてのセットアップ時間は、劣化前は $2.1 [nS]$ であり、劣化後は $2.5 [nS]$ であったとする。このとき、劣化前では、時間差 ($t_c - t_d$) はセットアップ時間よりも大きいので、フリップフロップは正常動作すると判断されるが、劣化後は時間差 ($t_c - t_d$) はセットアップ時間に対して $0.3 [nS]$ ($= 2.5 - 2.2$) 足りないので、フリップフロップはタイミングチェックを満足せず、誤動作すると判断される。論理シミュレータ15Aはこのような判断結果を、劣化後結果17Aに出力する。

【0178】なお各実施形態において、LSIのタイミング劣化シミュレーション装置は信頼性ライブラリ生成装置1を備えている構成としたが、信頼性ライブラリ生成装置1、1Aは本発明において必ずしも必須の構成要素ではない。すなわち、予め作成された信頼性ライブラリ6、6Aを参照してLSIの劣化後の動作をシミュレーションする、LSIのタイミング劣化シミュレーション装置としても、本発明は実現可能である。

【0179】以上の実施の形態1～9はあくまでも一例を紹介、説明したものであり、それだけに限定するものではない。このため本発明の範囲においての別の実施形態や、本実施形態からの変更もありうる。

【0180】なお、第1～第9の実施形態においては、配線間のカップリングノイズについて扱った。実際のLSIでは、配線間のカップリングノイズ以外にも、例えばLSI内部の電源線経由のノイズ、LSI内部のシリコンなどの基板経由のノイズ、熱ノイズなどの種々のノイズが発生している。これらのノイズもトランジスタのホットキャリア劣化に影響を与えているため、劣化シミュレーションにおいて解析できることは重要である。本発明に係るタイミング劣化シミュレーションにおいて、これらのノイズを配線間のカップリングノイズと同様に扱うためには、これらのノイズの影響を、各実施形態で示したシミュレーション装置によって処理できる形に等価的に変換して表わす方法が考えられる。

【0181】LSI内部の電源線経由のノイズ（以下「電源ノイズ」という）を例にとって説明する。図3において、結合信号の遷移を電源ノイズの発生タイミングとし、またこの電源ノイズによって、出力信号に ΔV の電圧変動が生じると考える。すなわち、電源ノイズについては、着目する配線に容量結合している配線をその発生源とみなし、容量結合度合を電源ノイズ度合すなわち電源ノイズ発生源におけるノイズから対象とする回路セルに伝搬するノイズの割合とみなし、信号電圧変動量 ΔV を電源ノイズによって回路セルに発生する、ホットキャリア劣化の観点で等価になるような電源ノイズ量とみなす。このように等価に対応させて処理することによって、全ての処理を第1～第9の実施形態と同様に扱うことができるので、配線間のカップリングノイズ以外のノイズについてもシミュレーション可能となる。

【0182】

【発明の効果】以上のように、本発明のLSIのタイミング劣化シミュレーション装置によれば、配線間のカップリングノイズの影響を加味しながら、LSIを構成する回路セルのタイミング劣化を個々の回路セルの置かれた動作条件で求め、さらにLSIの動作に応じた信号の流れで信号バスのタイミングの劣化現象がシミュレーションで扱えるようになるため、回路セル単位の寿命の検証のみを行う従来方法に比べ、過剰な設計マージンを含まずにすむという効果を有する。同時にLSI規模の大規模回路でのタイミング劣化のシミュレーションも実現する。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るLSIのタイミング劣化シミュレーション装置の構成を示すブロック図である。

【図2】回路セルの一般的な構成を概念的に示す図である。

【図3】カップリングノイズに起因する出力信号電圧の変動を模式的に示す図であり、出力信号が電源電圧VDDから ΔV だけ高くなる場合を示す図である。

【図4】カップリングノイズに起因する出力信号電圧の

変動を模式的に示す図であり、出力信号が接地電圧GNDから ΔV だけ低くなる場合を示す図である。

【図5】信頼性ライブラリ生成のためのシミュレーションに用いる、近似した信号波形を示す図である。

【図6】本発明の第1の実施形態に係る信頼性ライブラリが有する情報の一例を示す図である。

【図7】インバータの出力信号線の寄生容量成分の例を示す図である。

【図8】LSIの信号バスの一例を示す図である。

【図9】容量結合度合とカップリングノイズに起因する信号電圧変動量との関係を示すテーブルである。

【図10】図7に示すインバータの出力信号線についての、結合容量毎の容量結合度合とカップリングノイズに起因する信号電圧変動量との関係を示す図である。

【図11】劣化に影響のない結合信号の信号遷移を示す図である。

【図12】図7に示すインバータの出力信号線についての、信号遷移情報の抽出結果の例を示す図である。

【図13】本発明の第2の実施形態に係るLSIのタイミング劣化シミュレーション装置の構成を示すブロック図である。

【図14】本発明の第3の実施形態に係るLSIのタイミング劣化シミュレーション装置の構成を示すブロック図である。

【図15】劣化前と劣化後とにおける、インバータの入力信号と出力信号の波形を示す図である。

【図16】本発明の第4の実施形態に係る信頼性ライブラリが有する情報の一例を示す図である。

【図17】本発明の第5の実施形態に係る信頼性ライブラリが有する情報の一例を示す図である。

【図18】本発明の第6の実施形態に係るLSIのタイミング劣化シミュレーション装置の構成を示すブロック図である。

【図19】本発明の第6の実施形態に係る信頼性ライブラリが有する情報の一例を示す図である。

【図20】本発明の第6の実施形態に係る信頼性ライブラリが有する情報の一例を示す図である。

【図21】本発明の第7の実施形態における複数の入力端子を有する回路セルとしての、2入力NANDゲートを示す図である。

【図22】図21に示す2入力NANDゲートのトランジスタレベルの回路図である。

【図23】本発明の第7の実施形態に係る信頼性ライブラリが有する情報の一例を示す図である。

【図24】本発明の第8の実施形態において処理の単位とする、複数の回路セルからなる信号バスの一例を示す図である。

【図25】本発明の第9の実施形態に係るLSIのタイミング劣化シミュレーション装置の構成を示すブロック図である。

【図26】本発明の第9の実施形態に係る遅延ライブラリが持つタイミングチェック値の情報の一例を示す図であり、劣化前のフリップフロップのセットアップ時間の動作条件依存性を表す情報を示す図である。

【図27】本発明の第9の実施形態に係る信頼性ライブラリが持つタイミングチェック値の情報の一例を示す図であり、フリップフロップのセットアップ時間の劣化量の動作条件依存性を表す情報を示す図である。

【図28】本発明の第9の実施形態に係る信頼性ライブラリが持つタイミングチェック値の情報の一例を示す図であり、(a)は図27におけるtable 1の例、(b)は図27におけるtable 2の例である。

【図29】通常のDSPFネットリストの例である。

【図30】配線のカップリングについての情報を追加したDSPFネットリストの例である。

【符号の説明】

- 1, 1A 信頼性ライブラリ生成装置
- 2 セル遅延劣化推定手段
- 3 信頼性モデル

* 4 回路信頼性シミュレータ

6, 6A 信頼性ライブラリ

8a 入力信号の立上り立下り時間

9a 出力負荷容量

9b 容量結合度合

10a 入力信号のスイッチング回数

10b 信号遷移情報

11 セル遅延劣化度合

12, 12A, 12B 遅延計算機

10 15, 15A 論理シミュレータ

18, 18A LSI タイミング劣化推定手段

20 回路セル

21 入力端子

22 出力端子

61 電源電圧

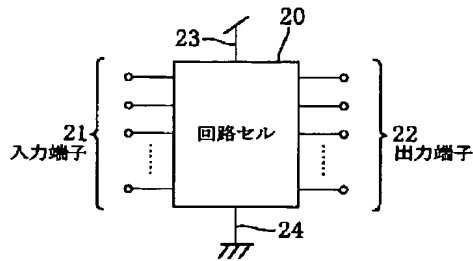
62 温度

70 劣化推定手段

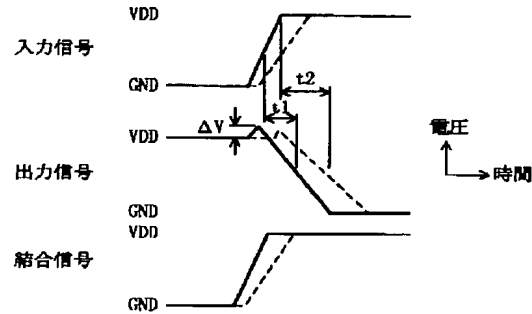
71 タイミングチェック値劣化推定手段

* 72 タイミングチェック値劣化度

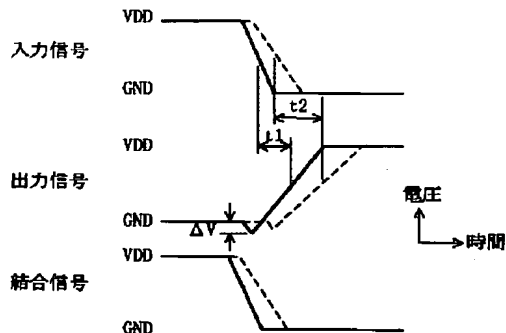
【図2】



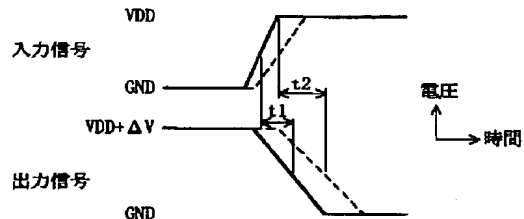
【図3】



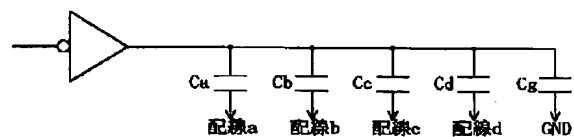
【図4】



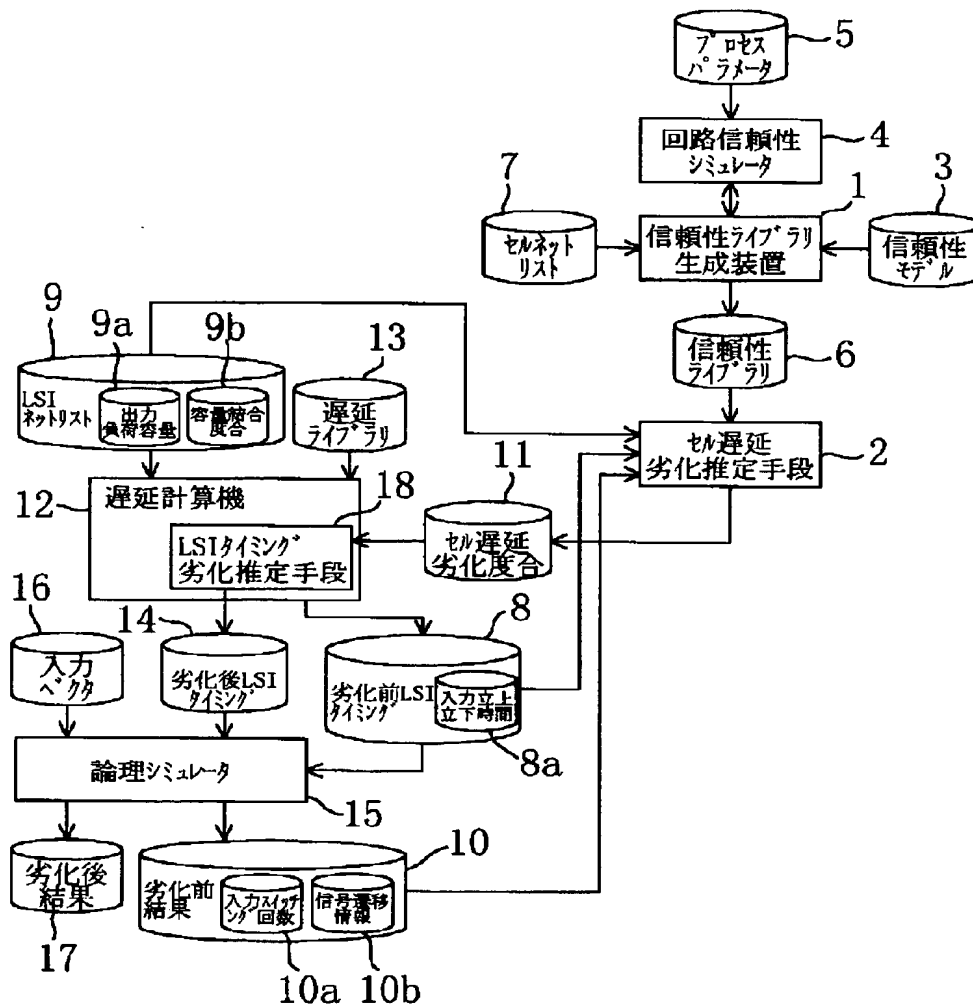
【図5】



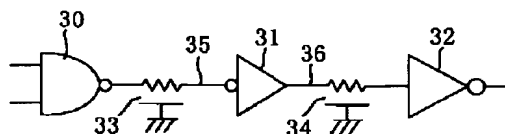
【図7】



【圖 1】



【图8】

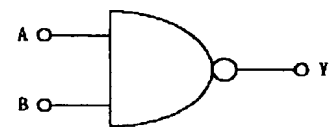


【图 26】

【圖9】

容量結合度合	信号電圧変動量 $\Delta V(V)$
0	0
0.1	0.3
0.2	0.6
⋮	⋮

【図 2 1】



Tisck (nS)	Tisd (nS)	トイ777 時間 (nS)
0.1	0.1	0.9
	1.0	1.6
	10.0	3.0
1.0	0.1	0.6
	1.0	1.0
	10.0	2.5
10.0	0.1	0.4
	1.0	0.8
	10.0	2.0

```

*!DSFF 1.0
*
*!DESIGN "sample"
*!DATE "Sep. 30, 1997"
*!VENDOR "Matsushita"
*!PROGRAM "sample"
*!DIVIDER 1
*!DELIMITER :
*
*SUBCKT sample imp adi
*
*Net section
*
*!GROUND_WBY 0
*
*!NBT n0 0.05PF
*!P (imp 1 0.0PF)
*!I (X0:a X0:a 1 0.0PF)
C1imp imp:0 0.03PF
C2imp imp:1 0 0.01PF
C3imp X0:a 0 0.03PF
R4imp imp:1 X0:a 10
R6imp imp:1 X0:a 10
*
*!NBT n0 0.15PF
*!I (X0:y X0:y 0 0.0PF)
*!I (X1:a X1:a 1 0.0PF)
C1o X0:y 0 0.01PF
C2o n0:1 0 0.05PF
C3o X1:a 0 0.09PF
R4o X0:y n0:1 10
R6o n0:1 X1:a 10
*
*!NBT out 0.88PF
*!I (X1:y X1:y 1 0.0PF)
C1out X1:y 0 0.1PF
C2out out:1 0 0.19PF
C3out out 0 0.58PF
R4out X1:y out:1 10
R6out out:1 out 10
*
*Instance Section
*
X0 X0:a X0:y INV
X1 X1:a X1:y INV
*
.ENDS

```

【図6】

信号電圧変動量 (V)	入力信号スイッチング回数 (回)	入力信号立ち上がり時間 (ns)	出力負荷容量 (pF)	遅延劣化量 (ns)
0.2	10^{13}	0.1	10	0.01
			100	0.05
			1000	0.1
			10000	0.2
		1.0	10	0.04
			100	0.1
		10.0	100	0.2
			1000	0.4
			10000	0.7
	10^{14}	0.1	10	0.02
			100	0.07
			1000	0.15
			10000	0.3
		1.0	10	0.05
			100	0.15
0.4	10^{13}	0.1	10	0.015
			100	0.06
			1000	0.11
			10000	0.23
		1.0	10	0.05
			100	0.15
	10^{14}	0.1	10	0.02
			100	0.07
			1000	0.15
			10000	0.3
		1.0	10	0.05
			100	0.15

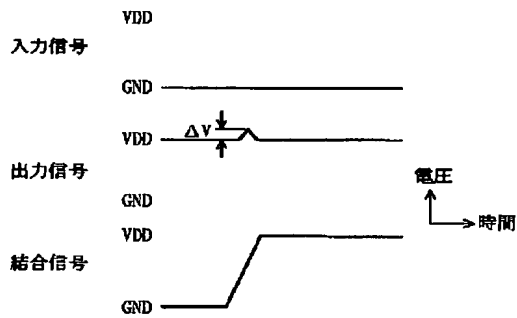
【図10】

結合容量	容量結合度合	信号電圧変動量 ΔV (V)
Ca	0.05	0.15
Cb	0.2	0.6
Cc	0.15	0.45
Cd	0.1	0.3
Cg	0	0

【図23】

		入力信号Aスイッチング回数 (回)		
		10^{13}	10^{14}	10^{15}
入力信号Bスイッチング回数 (回)	10^{13}	table1 (Tis, Cl)	table2 (Tis, Cl)	table3 (Tis, Cl)
	10^{14}	table4 (Tis, Cl)	table5 (Tis, Cl)	table6 (Tis, Cl)
	10^{15}	table7 (Tis, Cl)	table8 (Tis, Cl)	table9 (Tis, Cl)
	10^{16}	table10 (Tis, Cl)	table11 (Tis, Cl)	table12 (Tis, Cl)
	10^{17}	table13 (Tis, Cl)	table14 (Tis, Cl)	table15 (Tis, Cl)
	10^{18}	table16 (Tis, Cl)	table17 (Tis, Cl)	table18 (Tis, Cl)

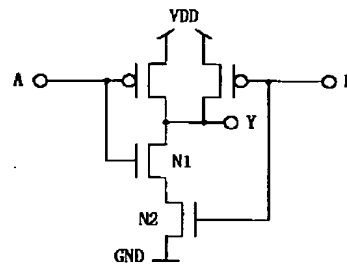
【図11】



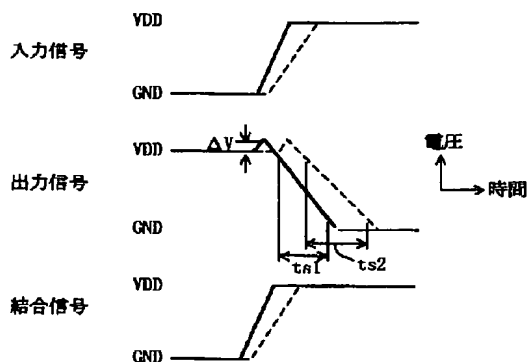
【図12】

着目する配線	容量結合先の配線	遷移の有無
配線36	配線a	有
	配線b	無
	配線c	無
	配線d	無
	配線g	—

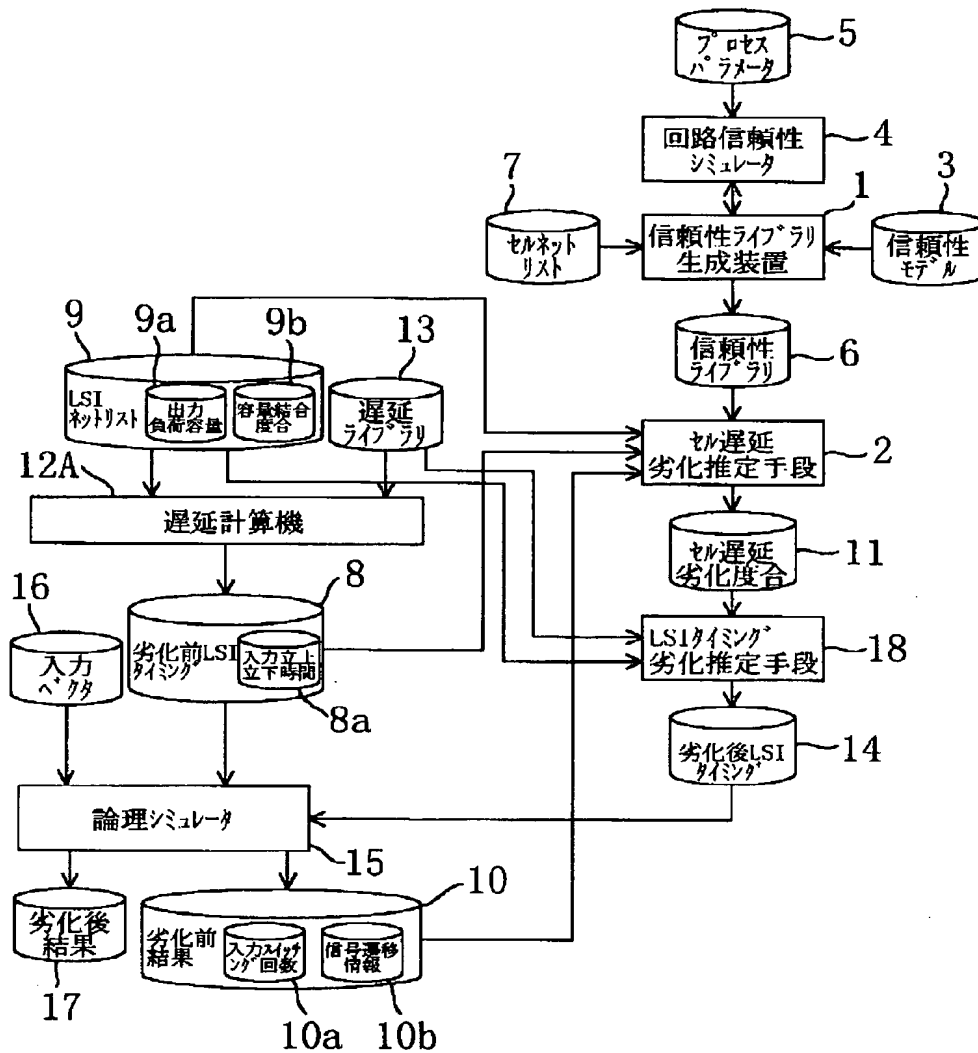
【図22】



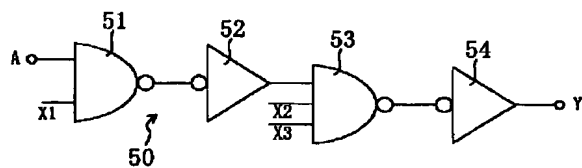
【図15】



【図13】



【図24】



【図27】

		クロック信号スイッチング回数(回)		
		10 ¹³	10 ¹⁴	10 ¹⁵
入力データ信号 スイッチング回数 (回)	10 ¹³	table1 (Tisck, Tisd)	table2 (Tisck, Tisd)	table3 (Tisck, Tisd)
	10 ¹⁴	table4 (Tisck, Tisd)	table5 (Tisck, Tisd)	table6 (Tisck, Tisd)
	10 ¹⁵	table7 (Tisck, Tisd)	table8 (Tisck, Tisd)	table9 (Tisck, Tisd)

【図16】

信号電圧 変動量 (V)	入力信号 スイング 回数(回)	入力信号 立ち上がり時間 (ns)	出力負荷容量 (fF)	出力信号立ち下り時 間劣化量 (ns)
0.2	10 ¹³	0.1	10	0.01
			100	0.052
			1000	0.1
			10000	0.2
		1.0	10	0.04
			100	0.1
	10 ¹⁴	0.1	100	0.22
			1000	0.4
			10000	0.7
			10	0.07
		1.0	100	0.15
			1000	0.41
0.4	10 ¹³	0.1	10	0.02
			100	0.07
			1000	0.16
			10000	0.3
		1.0	10	0.06
			100	0.15
	10 ¹⁴	0.1	100	0.35
			1000	0.6
			10000	1.0
			10	0.1
		1.0	100	0.23
			1000	0.56

【図17】

信号電圧 変動量 (V)	入力信号 スイング 回数(回)	入力信号 立ち上がり時間 (ns)	出力負荷容量 (fF)	遅延劣化比
0.2	10 ¹³	0.1	10	1.01
			100	1.02
			1000	1.03
			10000	1.05
		1.0	10	1.02
			100	1.03
	10 ¹⁴	0.1	100	1.06
			1000	1.07
			10000	1.09
			10	1.03
		1.0	100	1.04
			1000	0.06
0.4	10 ¹³	0.1	10	1.02
			100	1.03
			1000	1.05
			10000	1.08
		1.0	10	1.03
			100	1.05
	10 ¹⁴	0.1	100	1.07
			1000	1.10
			10000	1.12
			10	1.05
		1.0	100	1.07
			1000	1.10

【図28】

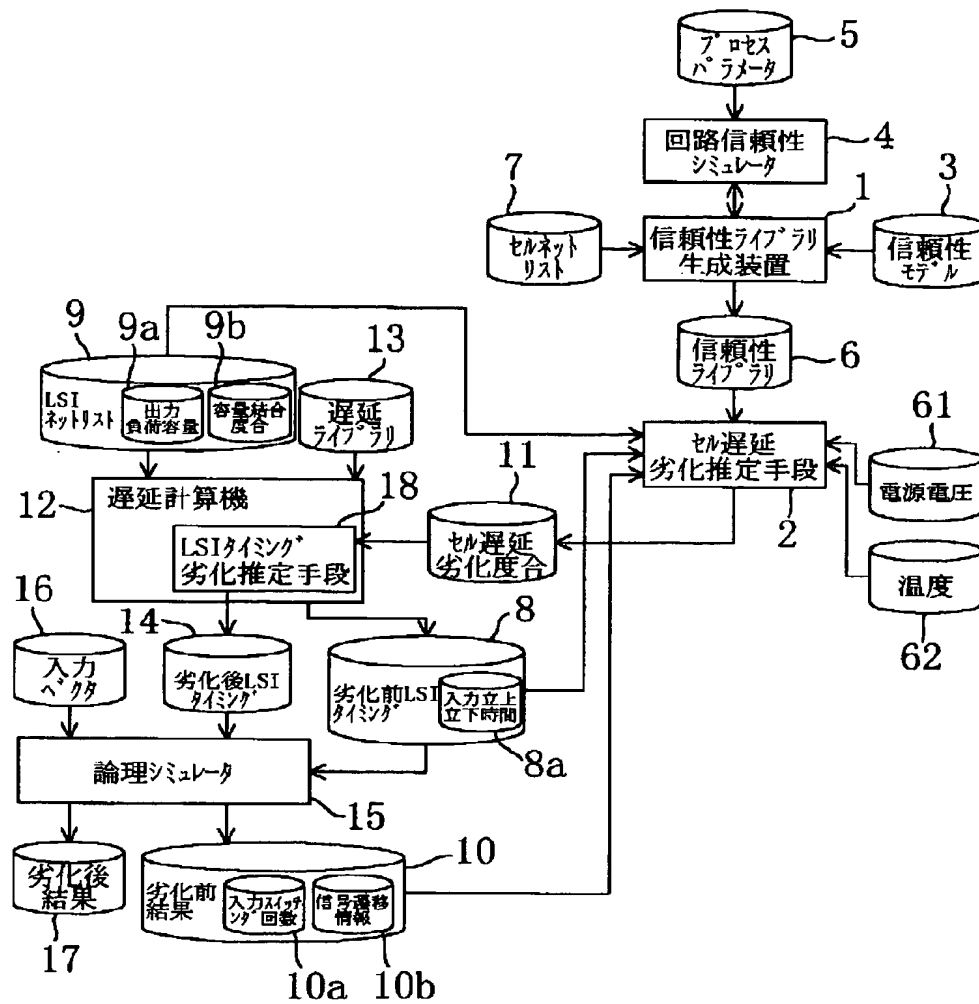
(a)

Tisck (nS)	Tisd (nS)	セットアップ時間 の劣化量 (nS)
0.1	0.1	0.2
	1.0	0.3
	10.0	0.4
1.0	0.1	0.5
	1.0	0.6
	10.0	0.7
10.0	0.1	0.8
	1.0	0.9
	10.0	1.0

(b)

Tisck (nS)	Tisd (nS)	セットアップ時間 の劣化量 (nS)
0.1	0.1	0.7
	1.0	0.8
	10.0	0.9
1.0	0.1	1.0
	1.0	1.1
	10.0	1.2
10.0	0.1	1.3
	1.0	1.4
	10.0	1.5

【図18】



【図19】

電源電圧 (V)	信号電圧変動量 (V)	入力信号スイング回数 (回)	入力信号立ち上がり時間 (ns)	出力負荷容量 (pF)	遅延劣化量 (ns)
3.3	0.2	10^{13}	0.1	10 100 1000 10000	0.01 0.05 0.1 0.2
			1.0	10 100 1000 10000	0.04 0.1 0.2 0.4
			10.0	10 100 1000 10000	0.07 0.15 0.4 0.7
		10^{14}	0.1	10 100 1000 10000	0.02 0.07 0.15 0.3
			1.0	10 100 1000 10000	0.05 0.15 0.4 0.6
			10.0	10 100 1000 10000	0.1 0.2 0.5 1.0
		0.4	0.1	10 100 1000 10000	0.012 0.053 0.105 0.208
		
		
3.6	0.2	10^{13}	0.1	10 100 1000 10000	0.02 0.07 0.15 0.32
			1.0	10 100 1000 10000	0.05 0.17 0.3 0.65
			10.0	10 100 1000 10000	0.1 0.21 0.5 1.03
		10^{14}	0.1	10 100 1000 10000	0.04 0.10 0.22 1.42
		
		
		0.4	0.1	10 100 1000 10000	0.012 0.053 0.105 0.208
		
		

【図20】

温度 (°C)	信号電圧変動量 (V)	入力信号スイング回数 (回)	入力信号立ち上がり時間 (ns)	出力負荷容量 (pF)	遅延劣化量 (ns)
27	0.2	10^{13}	0.1	10 100 1000 10000	0.01 0.05 0.1 0.2
			1.0	10 100 1000 10000	0.04 0.1 0.2 0.4
			10.0	10 100 1000 10000	0.07 0.15 0.4 0.7
		10^{14}	0.1	10 100 1000 10000	0.02 0.07 0.15 0.3
			1.0	10 100 1000 10000	0.05 0.15 0.4 0.6
			10.0	10 100 1000 10000	0.1 0.2 0.5 1.0
		0.4	0.1	10 100 1000 10000	0.012 0.053 0.105 0.208
		
		

	
	
-20	0.2	10^{13}	0.1	10 100 1000 10000	0.02 0.07 0.15 0.32
			1.0	10 100 1000 10000	0.05 0.17 0.3 0.65
			10.0	10 100 1000 10000	0.1 0.21 0.5 1.03
		10^{14}	0.1	10 100 1000 10000	0.04 0.10 0.22 1.42
		
		
		0.4	0.1	10 100 1000 10000	0.012 0.053 0.105 0.208
		
		

【図25】

